

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiji HOSOTANI

GAU:

SERIAL NO: 10/806,388

EXAMINER:

FILED: March 23, 2004

FOR: MAGNETIC RANDOM ACCESS MEMORY AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

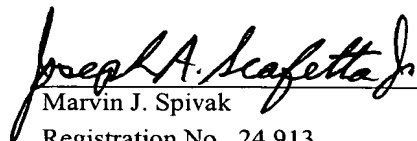
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-195187	July 10, 2003
JAPAN	2004-077814	March 18, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日 2003年 7月10日
Date of Application:

願番号 特願2003-195187
Application Number:

[T. 10/C]: [JP2003-195187]

願人 株式会社東芝
Applicant(s):

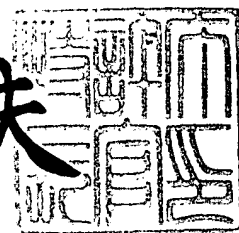
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2003年 7月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 A000206365

【提出日】 平成15年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 磁気ランダムアクセスメモリ及びその製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 細谷 啓司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ及びその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板と、

前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と前記シリコン基板内に形成された拡散層とを有するトランジスタと、

前記シリコン基板及び前記トランジスタ上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に形成された多層配線と、

前記第 1 の絶縁膜の上方に形成された磁気抵抗効果素子と

を具備し、

前記シリコン基板内のダングリングボンドの少なくとも一部が、シリコン-重水素結合によって終端されていることを特徴とする磁気ランダムアクセスメモリ

。

【請求項 2】 前記シリコン-重水素結合は、前記ゲート電極下の前記ゲート絶縁膜と前記シリコン基板との界面部、前記拡散層の接合部、及びチャネル部の少なくとも一部に存在することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 3】 前記第 1 の絶縁膜内に重水素原子が存在することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記ゲート電極内に重水素原子が存在することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記磁気抵抗効果素子は前記多層配線の一部を介して前記トランジスタと電氣的に接続されており、前記トランジスタはデータ読み出し用のスイッチング素子であることを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記トランジスタは、CMOS 回路のトランジスタであることを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 7】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層

とを有するトランジスタを形成する工程と、

前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜内に多層配線を形成する工程と、

少なくとも重水素を含んだガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、

前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程と

を具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項8】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、

少なくとも重水素とシランとを含むガスを用いて前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成し、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、

前記第1の絶縁膜内に多層配線を形成する工程と、

前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程と

を具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項9】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、

前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上にシリコン窒化膜を形成する工程と、

少なくとも重水素を含むガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、

前記シリコン窒化膜を除去する工程と、

前記第1の絶縁膜内に多層配線を形成する工程と、

前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程と

を具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項 10】 シリコン基板上にゲート絶縁膜を形成する工程と、
少なくとも重水素とシランとを含むガスを用いて前記ゲート絶縁膜上にゲート電極を形成し、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、
前記シリコン基板内に拡散層を形成し、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、
前記シリコン基板及び前記トランジスタ上に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜内に多層配線を形成する工程と、
前記第 1 の絶縁膜の上方に磁気抵抗効果素子を形成する工程と
を具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項 11】 前記シリコン-重水素結合は、前記ゲート電極下の前記ゲート絶縁膜と前記シリコン基板との界面部、前記拡散層の接合部、及びチャネル部の少なくとも一部に存在することを特徴とする請求項 7 乃至 10 のいずれか 1 項に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 12】 前記アニールは、重水素と窒素とを含んだガスを用いて行うことを特徴とする請求項 7 又は 9 に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 13】 前記ガスは、重水素シランガス又は重水素シランクロライドガスであることを特徴とする請求項 8 又は 10 に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 14】 前記ガスは、重水素ジクロロシランガスであることを特徴とする請求項 8 又は 10 に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 15】 前記シリコン窒化膜は、少なくとも重水素とシランとを含むガスを用いて形成することを特徴とする請求項 9 に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 16】 前記第 1 の絶縁膜内に重水素原子が存在することを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の磁気ランダムアクセスメモリの製造方法。

【請求項 17】 前記ゲート電極内に重水素原子が存在することを特徴とす

る請求項10に記載の磁気ランダムアクセスメモリの製造方法。

【請求項18】 前記磁気抵抗効果素子は前記多層配線の一部を介して前記トランジスタと電氣的に接続されており、前記トランジスタはデータ読み出し用のスイッチング素子であることを特徴とする請求項7乃至10のいずれか1項に記載の磁気ランダムアクセスメモリの製造方法。

【請求項19】 前記トランジスタは、CMOS回路のトランジスタであることを特徴とする請求項7乃至10のいずれか1項に記載の磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ及びその製造方法に関する。

【0002】

【従来の技術】

近年、トンネル磁気抵抗効果（TMR：Tunneling Magneto Resistive）を利用したMTJ（Magnetic Tunnel Junction）素子をメモリセルに備えたMRAM（Magnetic Random Access Memory）が提案されている。このMRAMは、RAMの高速性、ランダムアクセス性、不揮発性を兼ね備えた理想的なメモリとして、近年急速に注目を浴びている。

【0003】

【発明が解決しようとする課題】

しかしながら、MRAMでは磁性体と半導体を融合させるため、従来の半導体では直面していなかった新たな問題も発生している。その問題の一つとして、MRAMに用いるCMOS回路のシンター工程に関するものが挙げられる。

【0004】

従来におけるCMOS回路のプロセスでは、プロセス途中でCMOS回路に導入されるダメージを除去するために、ウエハプロセスの最終段階で、シンターと呼ばれる、水素雰囲気中で400℃又は450℃程度でアニールする工程を導入する。このシンター工程により、CMOS回路のゲート酸化膜下のチャネル部分

や拡散層の接合部分で発生したシリコン同士の結合が切れたダングリングボンド部分を、水素原子で終端させる。これにより、トランジスタの閾値変動の調整やトランジスタ特性のばらつきの抑制、そして信頼性の向上を図っていた。

【0005】

ところが、MRAMプロセスでは、セルの磁気トンネル接合を構成するMTJ膜を形成した後は、このMTJ膜の耐熱性によって、その後のプロセス温度の上限が定められてしまう。従って、MTJ膜を形成した後のプロセス温度の上限は例えば300℃乃至350℃となってしまう、この温度では十分な効果を発揮するシンターを行うことができない。このため、MRAMでは、CMOS特性を改善することが困難であった。

【0006】

尚、この対策の一つとして、MTJ膜の成膜前にシンターを行うことが考えられる。しかし、この時に形成されるSi-H結合は、その後のプロセスによるダメージで切れ易いことが知られており、結果的には十分なシンター効果を得ることはできない。

【0007】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、トランジスタ特性の向上を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0009】

本発明の第1の視点による磁気ランダムアクセスメモリは、シリコン基板と、前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と前記シリコン基板内に形成された拡散層とを有するトランジスタと、前記シリコン基板及び前記トランジスタ上に形成された第1の絶縁膜と、前記第1の絶縁膜内に形成された多層配線と、前記第1の絶縁膜の上方に形成された磁気抵抗効果素子とを具備し、前記シリコン基板内のダングリングボンドの少なくとも一部が、シリコン

一重水素結合によって終端されている。

【0010】

本発明の第2の視点による磁気ランダムアクセスメモリの製造方法は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜内に多層配線を形成する工程と、少なくとも重水素を含んだガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコンー重水素結合によって終端させる工程と、前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程とを具備する。

【0011】

本発明の第3の視点による磁気ランダムアクセスメモリの製造方法は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、少なくとも重水素とシランとを含むガスを用いて前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成し、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコンー重水素結合によって終端させる工程と、前記第1の絶縁膜内に多層配線を形成する工程と、前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程とを具備する。

【0012】

本発明の第4の視点による磁気ランダムアクセスメモリの製造方法は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にシリコン窒化膜を形成する工程と、少なくとも重水素を含むガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコンー重水素結合によって終端させる工程と、前記シリコン窒化膜を除去する工程と、前記第1の絶縁膜内に多層配線を形成する工程と、前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程とを具

備する。

【0013】

本発明の第5の視点による磁気ランダムアクセスメモリの製造方法は、シリコン基板上にゲート絶縁膜を形成する工程と、少なくとも重水素とシランとを含むガスを用いて前記ゲート絶縁膜上にゲート電極を形成し、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、前記シリコン基板内に拡散層を形成し、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜内に多層配線を形成する工程と、前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程とを具備する。

【0014】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】

【第1の実施形態】

第1の実施形態は、MTJ (Magnetic Tunnel Junction) 素子を形成する前に、窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行うことで、ダングリングボンドを $Si-H$ 結合に加えて $Si-D$ 結合で終端させる例である。

【0016】

図1は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。

【0017】

メモリセル部では、シリコン基板11上に、読み出し用のスイッチング素子として機能するNMOSFET15が形成されている。このNMOSFET15のソース/ドレイン拡散層14aの一方には、コンタクト24a, 27a, 30、配線25a, 28a及び下部電極31を介して、MTJ素子32が接続されている。このMTJ素子32は、ハードマスクからなるコンタクト33を介して、上

部配線 38a に接続されている。また、NMOSFET 15 のソース／ドレイン拡散層 14a の他方には、コンタクト 24b を介して、配線 25b が接続されている。ここで、上部配線 38a は書き込み／読み出しビット線として機能し、MTJ 素子 32 の下方に位置する配線 28b は書き込みワード線として機能し、スイッチング素子のゲート電極 13a は読み出しワード線として機能する。

【0018】

周辺回路部では、NMOSFET 16 と PMOSFET 19 とを有する CMOS 回路 20 が設けられている。NMOSFET 16 のソース／ドレイン拡散層 14b の一方には、コンタクト 24c, 27c, 37c 及び配線 25c, 28c, 38c が接続され、NMOSFET 16 のソース／ドレイン拡散層 14b の他方には、コンタクト 24d, 27d, 37d 及び配線 25d, 28d, 38d が接続されている。また、PMOSFET 19 のソース／ドレイン拡散層 18 の一方には、コンタクト 24e, 27e, 37e 及び配線 25e, 28e, 38e が接続され、PMOSFET 19 のソース／ドレイン拡散層 18 の他方には、コンタクト 24f, 27f, 37f 及び配線 25f, 28f, 38f が接続されている。

【0019】

以上のようなメモリセル部及び周辺回路部では、MTJ 素子 32 を形成する前に窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行うことで（詳細は後述する）、シリコン基板 11 内のダングリングボンドを Si-H 結合に加えて Si-D 結合によっても終端させている。このため、ダングリングボンドが生じるゲート電極 13a, 13b, 13c 下の Si-SiO₂ 膜界面部、PN 接合部、及びチャネル部等の少なくとも一部には、Si-D 結合領域 10a, 10b, 10c が存在する。また、上記アニールを行うことで、層間絶縁膜 21, 26, 29 中にも重水素原子が存在する。

【0020】

尚、Si-D 結合領域 10a, 10b, 10c や、層間絶縁膜 21, 26, 29 中の重水素原子の存在は、次のような手法を用いて確認することが可能である。例えば、通常の SIMS 法を用いての元素分析、FT-IR 法を用いての赤外

吸収特性のモニター、又はTDS手法を用いての熱脱離特性のモニター等がある。

【0021】

図2乃至図9は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第1の実施形態に係る磁気ランダムアクセスメモリの製造方法について説明する。

【0022】

まず、図2に示すように、p型にドーパされたシリコン基板11内に、素子領域を電氣的に分離するために、例えば深さ2500Å程度のSTI (Shallow Trench Isolation) 構造の素子分離領域12が形成される。次に、素子領域上に、ゲート電極13a, 13b, 13cがゲート絶縁膜 (例えばシリコン酸化膜) を介して形成される。次に、ゲート電極13a, 13bを挟んでシリコン基板11の表面にn型拡散層14a, 14bが形成される。さらに、シリコン基板11の上面から2μm程度の深さを有するn型にドーパされたNウェル領域17が形成され、このNウェル領域17の表面にp型拡散層18が形成される。このようにして、メモリセル部には、読み出し用スイッチング素子としてのNMOSFET 15が形成され、周辺回路部には、NMOSFET 16及びPMOSFET 19を有するCMOS回路20が形成される。

【0023】

次に、図3に示すように、スイッチング素子及びCMOS回路20上に第1の層間絶縁膜21が堆積され、この第1の層間絶縁膜21の上面がCMP (Chemical Mechanical Polish) 又はレジストエッチバックを用いて平坦化される。ここで、第1の層間絶縁膜21は例えばBPSG (Boron Phosphorous Silicate Glass) 膜及びプラズマCVD (Chemical Vapor Deposition) -シリコン酸化膜を用いており、これらの合計膜厚は4000Å程度である。尚、第1の層間絶縁膜21の少なくとも一部にLPCVDシリコン酸化膜を用いてもよい。

【0024】

次に、通常のリソグラフィ技術を用いてパターンニングされたフォトリジストをマスクにして、第1のコンタクトホール22a, 22b, 22c, 22d, 22

e, 22 f が R I E (Reactive Ion Etching) で第 1 の層間絶縁膜 21 内に開口される。そして、再度、通常のリソグラフィ技術を用いてパターンニングされたフォトリジストをマスクにして、第 1 のメタル配線用トレンチ 23 a, 23 b, 23 c, 23 d, 23 e, 23 f が第 1 のコンタクトホール 22 a, 22 b, 22 c, 22 d, 22 e, 22 f と連通してそれぞれ形成される。

【0025】

次に、全面に例えば T i N からなる 400 Å のバリアメタル膜（図示せず）が C V D 法で堆積され、このバリアメタル膜上に例えば W からなる約 3000 Å の導電材が B l a n k e t - W - C V D 法を用いて形成される。これにより、第 1 のコンタクトホール 22 a, 22 b, 22 c, 22 d, 22 e, 22 f 及び第 1 のメタル配線用トレンチ 23 a, 23 b, 23 c, 23 d, 23 e, 23 f 内はバリアメタル膜及び導電材で埋め込まれる。続いて、第 1 の層間絶縁膜 21 の上面が露出するまで、バリアメタル膜及び導電材が C M P 法で除去される。このようにして、n 型拡散層 14 a, 14 b 及び p 型拡散層 18 につながる第 1 のコンタクト 24 a, 24 b, 24 c, 24 d, 24 e, 24 f 及び第 1 のメタル配線 25 a, 25 b, 25 c, 25 d, 25 e, 25 f が形成される。

【0026】

次に、図 4 に示すように、第 1 の層間絶縁膜 21 及び第 1 のメタル配線 25 a, 25 b, 25 c, 25 d, 25 e, 25 f 上に第 2 の層間絶縁膜 26 が堆積され、この第 2 の層間絶縁膜 26 の上面が平坦化される。ここで、第 2 の層間絶縁膜 26 は、例えばプラズマ C V D - シリコン酸化膜からなり、合計膜厚は例えば 5000 Å 程度である。尚、第 2 の層間絶縁膜 26 の少なくとも一部に B P S G 膜や L P C V D シリコン酸化膜を用いてもよい。

【0027】

その後は、上述する第 1 のコンタクト 24 a, 24 b, 24 c, 24 d, 24 e, 24 f 及び第 1 のメタル配線 25 a, 25 b, 25 c, 25 d, 25 e, 25 f と同様の手法を用いて、第 2 の層間絶縁膜 26 内に第 2 のコンタクト 27 a, 27 c, 27 d, 27 e, 27 f 及び第 2 のメタル配線 28 a, 28 b, 28 c, 28 d, 28 e, 28 f が形成される。

【0028】

次に、図5に示すように、第2の層間絶縁膜26及び第2のメタル配線28a, 28b, 28c, 28d, 28e, 28f上に第3の層間絶縁膜29が堆積され、この第3の層間絶縁膜29の上面が平坦化される。ここで、第3の層間絶縁膜29は、例えばプラズマCVD-シリコン酸化膜からなり、500Å乃至1500Å程度の膜厚である。

【0029】

次に、この状態で、重水素を含むガスを用いたシンター工程を行う。すなわち、窒素(N₂) + 重水素(D₂)ガスをチャンバーに導入し、基板温度を400～450℃まで上昇させて、約60分のアニールを行う。これにより、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等のシリコンダングリンボンドがSi-H結合に加えてSi-D結合で終端され、シリコン基板11の一部にはSi-D結合領域10a, 10b, 10cが存在することになる。尚、アニール時のガスは、少なくとも重水素が含まれていればよく、重水素以外に例えば窒素や酸素等が含まれていてもよい。また、このアニール時のガスが重水素と窒素とからなる混合ガスの場合、例えばD₂:N₂=1:1の比率のガスが用いられる。

【0030】

次に、図6に示すように、第3の層間絶縁膜29内に、第2のメタル配線28aに接続する下部電極用コンタクト30が形成される。

【0031】

次に、図7に示すように、第3の層間絶縁膜29及び下部電極用コンタクト30上に、例えばTaからなる500Åの膜厚の下部電極膜31a、MTJ膜32a、例えばTaからなる1000Åの膜厚のハードマスク層33aが順に堆積される。次に、ハードマスク層33a上に、通常のリソグラフィ技術でパターニングされたMTJ用のマスクレジスト(図示せず)が形成される。そして、このマスクレジストをマスクとしてハードマスク層33aがRIEでパターニングされた後、マスクレジストがアッシャーで剥離される。続いて、ハードマスク層33aをマスクとしてイオンミリング又はRIE技術を用いてMTJ膜32aがセル

毎に分離され、MTJ素子32が形成される。尚、ハードマスク層33aはコンタクト33として機能する。

【0032】

次に、図8に示すように、MTJ素子32を保護するために、RFスパッタ法で全面に SiO_x 膜からなるマスクレジスト34が形成され、このマスクレジスト34が通常のリソグラフィ技術でパターニングされる。このパターニングされたマスクレジスト34を用いて、下部電極膜31aがRIE法でセル毎に分離される。これにより、下部電極31が形成される。

【0033】

次に、図9に示すように、RFスパッタ法で、全面に SiO_x 膜からなる第4の層間絶縁膜36が形成され、この第4の層間絶縁膜36の上面がCMP又はレジストエッチバックを用いて平坦化される。これにより、MTJ素子32上のコンタクト33の上面が露出する。続いて、周辺回路用のコンタクト37c, 37d, 37e, 37fが、第2のメタル配線28c, 28d, 28e, 28fと接続するように形成される。

【0034】

最後に、図1に示すように、スパッタ法で例えばAlCuからなる配線材が全面に形成される。その後、通常のリソグラフィ技術でレジストマスク（図示せず）が形成され、このレジストマスクを用いて配線材がRIEでパターニングされる。これにより、MTJ素子32の上部配線38aと、周辺回路部の第3のメタル配線38c, 38d, 38e, 38fとが形成される。

【0035】

上記第1の実施形態によれば、MTJ素子32を形成する前に、窒素(N_2) + 重水素(D_2) ガスを用いたアニールを行っている。このため、ゲート電極13a, 13b, 13c下の Si-SiO_2 膜界面部、PN接合部、及びチャネル部等にできているシリコンダングリングボンドを、 Si-H 結合に加えて、 Si-D 結合によっても終端できる。従って、その後のプロセスを経ても切れ難い Si-D 結合領域10a, 10b, 10cが存在するため、MTJ素子32の形成後に高温アニール工程を導入しなくても、経時劣化することのない、特性の安定

した、MRAMに適したトランジスタ15, 16, 19を形成することが可能となる。

【0036】

また、メモリセル部では、スイッチング素子として機能するトランジスタ15の閾値変動やトランジスタ特性のばらつきの抑制、そして信頼性の向上を図ることができるため、MRAMの読み出しマージンを向上させることができる。

【0037】

また、メモリセル部では、MTJ素子32のパターニング時に、ダメージの生じやすいイオンミリニングを行う。従来のようにシリコンダングリングボンドをSi-H結合のみで終端させている場合は、このイオンミリニングによりSi-H結合が非常に切れやすかった。しかし、第1の実施形態のようにシリコンダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させることで、イオンミリニングによっても切れにくい状態を作り出すことができる。

【0038】

また、周辺回路部では、トランジスタ16, 19からなるCMOS回路20の特性を向上させることができる。

【0039】

[第2の実施形態]

第2の実施形態は、シリコン基板に最も近い層間絶縁膜を重水素シラン(SiD₄)ガスを用いて成膜することで、第1の実施形態よりもダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合を高めることが可能な例である。

【0040】

図10は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図10に示すように、第2の実施形態において、第1の実施形態と異なる点は、重水素シラン(SiD₄)ガスを用いて、シリコン基板11に最も近い層間絶縁膜40を成膜する点である。この層間絶縁膜40の少なくとも一部は、BPSG膜、LPCVDシリコン酸化膜、プラズマCVDシリコン酸化膜のいずれかの膜を含んでいる。

【0041】

第1の実施形態では、MTJ素子32を形成する直前にD₂（重水素）ガスを用いたアニールを行うので、第1乃至第3の層間絶縁膜21, 26, 29からなる層間絶縁膜の全体に重水素原子が存在していた。

【0042】

これに対し、第2の実施形態では、第1の層間絶縁膜40の形成時に重水素シラン（SiD₄）ガスを用いるため、重水素原子は、第1乃至第3の層間絶縁膜40, 26, 29からなる層間絶縁膜の全体ではなく、主に第1の層間絶縁膜40に存在する。

【0043】

また、第2の実施形態では、ダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させるため、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等の一部には、Si-D結合領域10a, 10b, 10cが存在する。ここで、ダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合は、第1の実施形態より高くなっている。

【0044】

図11は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第2の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0045】

まず、図11に示すように、メモリセル部には、スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19を有するCMOS回路20が形成される。

【0046】

次に、スイッチング素子及びCMOS回路20上に第1の層間絶縁膜40が堆積され、この第1の層間絶縁膜21の上面がCMP又はレジストエッチバックを用いて平坦化される。

【0047】

ここで、第1の層間絶縁膜40には、例えばBPSG及びプラズマCVD-シリコン酸化膜が用いられ、これらの合計膜厚は4000 Å程度である。

【0048】

そして、第1の層間絶縁膜40であるプラズマCVD-シリコン酸化膜の堆積時には、通常のプラズマCVD法でシリコン酸化膜を形成するのに用いられる $\text{SiH}_4 + \text{O}_2$ ガス又は $\text{SiH}_4 + 4\text{N}_2\text{O}$ ガスのシラン(SiH_4)に代わって、重水素シラン(SiD_4)を用いて、 $\text{SiD}_4 + \text{O}_2$ 又は $\text{SiD}_4 + 4\text{N}_2\text{O}$ という組み合わせを利用する。尚、重水素シラン(SiD_4)の代わりに、例えば重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いてもよい。

【0049】

また、第1の層間絶縁膜40であるBPSG膜の堆積時にも、通常のBPSG膜の材料ガスである $\text{SiH}_4 + \text{O}_2$ や $\text{SiCl}_2\text{H}_2 + \text{O}_2$ ガスのシラン(SiH_4)やジクロロシラン(SiCl_2H_2)に代わって、重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いてもよい。

【0050】

尚、第1の層間絶縁膜40としてLPCVDシリコン酸化膜を堆積してもよく、このLPCVDシリコン酸化膜の成膜時にも重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを含んだガスが用いられる。

【0051】

以上のように、第1の層間絶縁膜40の少なくとも一部の成膜時に重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いることで、重水素(D_4)がシリコン基板11に取り入れられ、ゲート電極13a, 13b, 13c下の $\text{Si}-\text{SiO}_2$ 膜界面部、PN接合部、及びチャネル部等のダングリンボンドが $\text{Si}-\text{H}$ 結合に加えて $\text{Si}-\text{D}$ 結合でも終端され、 $\text{Si}-\text{D}$ 結合領域10a, 10b, 10cが存在することになる。

【0052】

上記第2の実施形態によれば、少なくとも重水素とシランとを含んだガス(例

例えば、重水素シラン (SiD_4) や重水素ジクロロシラン (SiCl_2D_2) 等の重水素シランクロライドを含んだガス) を用いて、第1の層間絶縁膜40であるBPSG膜やプラズマCVD-シリコン酸化膜を成膜する。これにより、この成膜段階で、MOSFET15, 16, 19のゲート電極13a, 13b, 13c下の Si-SiO_2 膜界面部、PN接合部、チャネル部等にできているシリコンダングリングボンドが Si-D 結合によって終端される。従って、第3の層間絶縁膜29を成膜した後に窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行う第1の実施形態よりも、より多くの重水素 (D_4) をシリコン基板11に取り入れることができる。このため、ダングリングボンドの終端に占める Si-H 結合に対する Si-D 結合の割合を第1の実施形態よりも高めることができ、その分だけ、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1の実施形態よりも向上させることができる。

【0053】

尚、第2の実施形態において、第3の層間絶縁膜29を形成した後、上記第1の実施形態における窒素 (N_2) + 重水素 (D_2) ガスを用いたアニール工程を追加することも可能である。

【0054】

[第3の実施形態]

第3の実施形態は、第2の実施形態において、MTJ素子を形成する前に、シリコン窒化膜を形成してから窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行う工程を追加したものである。

【0055】

図12は、本発明の第3の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図12に示すように、第3の実施形態において、第2の実施形態と異なる点は、MTJ素子を形成する前に、シリコン窒化膜を形成してから窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行う点である。

【0056】

第2の実施形態では、重水素原子は、第1乃至第3の層間絶縁膜40, 26, 29からなる層間絶縁膜の全体ではなく、主に第1の層間絶縁膜40に存在する

【0057】

これに対し、第3の実施形態では、MTJ素子32を形成する前に、まずシリコン窒化膜を形成し、そして、重水素ガスを用いたアニールを行う（詳細は後述する）。このため、第1乃至第3の層間絶縁膜40、26、29からなる層間絶縁膜の全体に重水素原子が存在し、特に第1の層間絶縁膜40中に重水素原子が多く存在する。

【0058】

また、第3の実施形態では、ダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させるため、ゲート電極13a、13b、13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等の少なくとも一部には、Si-D結合領域10a、10b、10cが存在する。ここで、ダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合は、第1及び第2の実施形態より高くなっている。

【0059】

図13乃至図15は、本発明の第3の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第3の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0060】

まず、図13に示すように、メモリセル部には、スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19を有するCMOS回路20が形成される。

【0061】

次に、スイッチング素子及びCMOS回路20上に、例えばBP SG膜、LP CVDシリコン酸化膜、プラズマCVDシリコン酸化膜等からなる第1の層間絶縁膜40が堆積される。

【0062】

この第1の層間絶縁膜40の成膜時には、第2の実施形態と同様の手法で、重水素シラン(SiD₄)や重水素ジクロロシラン(SiCl₂D₂)等の重水素シ

ランクロライドを用いる。その結果、この重水素 (D_4) がシリコン基板 11 に取り入れられ、ゲート電極 13a, 13b, 13c 下の $Si-SiO_2$ 膜界面部、PN 接合部、及びチャネル部等のダングリンボンドの少なくとも一部が $Si-D$ 結合で終端され、 $Si-D$ 結合領域 10a, 10b, 10c が存在することになる。

【0063】

その後、第 1 の層間絶縁膜 21 の上面が CMP 又はレジストエッチバックを用いて平坦化される。

【0064】

次に、図 14 に示すように、第 1 の層間絶縁膜 40 上に第 2 の層間絶縁膜 26 が形成され、この第 2 の層間絶縁膜 26 上にシリコン窒化膜 41 が形成される。ここで、シリコン窒化膜 41 は、例えば重水素シラン (SiD_4) + 窒素 (N_2) ガスを用いたプラズマ CVD 法で堆積される。このため、重水素 (D_4) がシリコン基板 11 にさらに取り入れられる。尚、シリコン窒化膜 41 の形成では、重水素シラン (SiD_4) の代わりに、重水素ジクロロシラン ($SiCl_2D_2$) 等の重水素シランクロライドを用いてもよい。

【0065】

次に、この状態で、窒素 (N_2) + 重水素 (D_2) ガスをチャンバーに導入し、基板温度を $400 \sim 450^\circ C$ まで上昇させて、約 60 分のアニールを行う。これにより、重水素 (D_4) がシリコン基板 11 にさらに取り入れられ、ゲート電極 13a, 13b, 13c 下の $Si-SiO_2$ 膜界面部、PN 接合部、及びチャネル部等のダングリンボンドが $Si-D$ 結合でさらに終端される。

【0066】

上記アニール後、例えば CDE (Chemical Dry Etching) 法で、シリコン窒化膜 41 が剥離除去される。

【0067】

次に、図 15 に示すように、第 1 の実施形態と同様の手法で、第 2 の層間絶縁膜 26 内に、第 2 のコンタクト 27a, 27c, 27d, 27e, 27f 及び第 2 のメタル配線 28a, 28b, 28c, 28d, 28e, 28f が形成される。

。その後は、第1の実施形態と同様であるため、説明は省略する。

【0068】

上記第3の実施形態によれば、重水素を含んだガス（例えば、重水素シラン（ SiD_4 ）や重水素ジクロロシラン（ SiCl_2D_2 ）を含んだガス）を用いて、第1の層間絶縁膜40であるBPSG膜やプラズマCVD-シリコン酸化膜を成膜するため、上記第2の実施形態と同様の効果を得ることができる。

【0069】

さらに、重水素シラン（ SiD_4 ）ガスを用いてシリコン窒化膜41を形成して、窒素（ N_2 ）+重水素（ D_2 ）ガスを用いたアニールを施すことにより、第1及び第2の実施形態よりも、さらに効果的に重水素（ D_2 ）をシリコン基板11中に取り込むことが可能になる。その結果、ダングリングボンドの終端に占める Si-H 結合に対する Si-D 結合の割合を第1の実施形態よりも高めることができ、その分だけ、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1及び第2の実施形態よりも向上させることができる。

【0070】

尚、第3の実施形態において、層間絶縁膜40の成膜の際、重水素を含んだガスを用いずに、通常のシラン（ SiH_4 ）ガスを用いてもよい。

【0071】

[第4の実施形態]

第4の実施形態は、トランジスタのゲート電極を重水素シラン（ SiD_4 ）ガスを用いて成膜することで、上記各実施形態よりもダングリングボンドの終端に占める Si-H 結合に対する Si-D 結合の割合を高めることが可能な例である。

【0072】

図16は、本発明の第4の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図16に示すように、第4の実施形態において、第1の実施形態と異なる点は、重水素シラン（ SiD_4 ）ガスを用いてゲート電極53a、53b、53c用のポリシリコン膜52を成膜することで、ゲート電極53a、53b、53c内に重水素原子が存在している点である。

【0073】

また、第3の実施形態では、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等には、上記各実施形態よりも、Si-D結合領域10a, 10b, 10cが多く存在する。

【0074】

図17及び図18は、本発明の第4の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第4の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0075】

まず、図17に示すように、シリコン基板11上の自然酸化膜を除去した状態で、約60Å程度の熱酸化膜51がシリコン基板11上に形成される。続いて、基板温度を600～700℃に加熱した状態で、通常用いられるシランガス(SiH₄)に代えて重水素シラン(SiD₄)ガスを導入して、ゲート電極53a, 53b, 53c用のポリシリコン膜52がLPCVD法で堆積される。尚、ポリシリコン膜52の形成では、重水素シラン(SiD₄)の代わりに、重水素ジクロロシラン(SiCl₂D₂)等の重水素シランクロライドを用いてもよい。

【0076】

次に、図18に示すように、通常のリソグラフィ及びRIE法を用いてポリシリコン膜52がパターンニングされ、ゲート電極53a, 53b, 53cが形成される。次に、ゲート電極53a, 53b, 53cをマスクとした拡散層のイオン注入、サイドウォールの形成、再度拡散層のイオン注入、ゲート電極53a, 53b, 53c上にバリア用のシリコン窒化膜の形成がそれぞれ行われる。その後は、第1の実施形態と同様であるが、窒素(N₂) + 重水素(D₂)ガスを用いたアニール工程は省略してもよい。

【0077】

尚、ポリシリコン膜52の抵抗をトランジスタ動作に必要な低抵抗に保つために、ポリシリコン膜52中に燐(P)をドーブしたり、ポリシリコン膜52の上部にWSi(タングステンシリサイド)を堆積したりするプロセスを組み合わせてもよい。

【0078】

上記第4の実施形態によれば、ポリシリコンからなるゲート電極53a, 53b, 53cを形成した段階でMOSFET領域のシリコンダングリングボンドが重水素雰囲気さらされるため、上記第1乃至第3の実施形態よりも早い段階でシリコンダングリングボンドを重水素で結合させることができる。その結果、ダングリングボンドの大半をSi-D結合によって終端されるため、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1乃至第3の実施形態よりも向上させることができる。

【0079】

尚、第4の実施形態において、第2の実施形態や第3の実施形態を組み合わせることも可能である。

【0080】

上記本発明の第1乃至第4の実施形態は、以下のように種々変更することが可能である。

【0081】

例えば、MTJ素子32の下方の多層配線は2層になっているが、第3のコンタクト及び第3のメタル配線等を形成することで多層配線の総数を変更することも可能であるし、必要な箇所に配線を適宜追加することも可能である。

【0082】

また、メモリセル部は、上記各実施形態で示した1MTJ+1トランジスタの構造に限定されず、種々変更することも可能である。

【0083】

また、シリコン-シリコン酸化膜界面のダングリングボンドの終端に関して、第4の実施形態よりもさらに効果的な方法として、ゲート酸化膜の形成時に重水素を用いることも可能である。この場合、例えば、基板温度850度にて、重水素(D₂) + 酸素(O₂)の混合ガスを導入してシリコン基板の表面を酸化し、そのまま引き続きポリシリコン電極を形成することも可能である。

【0084】

また、シリコン-シリコン酸化膜界面のダングリングボンドの終端方法として

、ゲート電極の側壁絶縁膜（例えばシリコン窒化膜）に重水素を用いることによって、界面に重水素を導入することも可能である。

【0085】

尚、本発明の第1乃至第4の実施形態に係る磁気ランダムアクセスメモリ（半導体記憶装置）は、様々な装置に適用することが可能である。これらのいくつかの適用例を図19乃至図25に示す。

【0086】

（適用例1）

図19は、デジタル加入者線（DSL）用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ（DSP: Digital Signal Processor）100、アナログーデジタル（A/D）コンバータ110、デジタルーアナログ（D/A）コンバータ120、送信ドライバ130、及び受信機増幅器140などを含んでいる。

【0087】

図19では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム（DSPで実行される、コード化された加入者回線情報、伝送条件等（回線コード; QAM、CAP、RSK、FM、AM、PAM、DWT等）に応じてモデムを選択、動作させるためのプログラム）を保持するための種々のタイプのオプションのメモリとして、本実施形態の磁気ランダムアクセスメモリ（MRAM）170とEEPROM180を示している。

【0088】

尚、本適用例では、回線コードプログラムを保持するためのメモリとして磁気ランダムアクセスメモリ170とEEPROM180との2種類のメモリを用いているが、EEPROM180を磁気ランダムアクセスメモリに置き換えてもよい。すなわち、2種類のメモリを用いず、磁気ランダムアクセスメモリのみを用いるように構成してもよい。

【0089】

（適用例2）

図20は、別の適用例として、携帯電話端末300を示している。通信機能を

実現する通信部 200 は、送受信アンテナ 201、アンテナ共用器 202、受信部 203、ベースバンド処理部 204、音声コーデックとして用いられる DSP 205、スピーカ（受話器） 206、マイクロホン（送話器） 207、送信部 208、及び周波数シンセサイザ 209 等を備えている。

【0090】

また、この携帯電話端末 300 には、当該携帯電話端末の各部を制御する制御部 220 が設けられている。制御部 220 は、CPU 221、ROM 222、本実施形態の磁気ランダムアクセスメモリ（MRAM） 223、及びフラッシュメモリ 224 が CPU バス 225 を介して接続されて形成されたマイクロコンピュータである。上記 ROM 222 には、CPU 221 において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。MRAM 223 は、主に作業領域として用いられるものであり、CPU 221 がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部 220 と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ 224 は、携帯電話端末 300 の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまわない。

【0091】

さらに、この携帯電話端末 300 には、オーディオ再生処理部 211、外部出力端子 212、LCD コントローラ 213、表示用の LCD（液晶ディスプレイ） 214、及び呼び出し音を発生するリング 215 等が設けられている。上記オーディオ再生処理部 211 は、携帯電話端末 300 に入力されたオーディオ情報（あるいは後述する外部メモリ 240 に記憶されたオーディオ情報）を再生する。再生されたオーディオ情報は、外部出力端子 212 を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部 211 を設けることにより、オーディオ情報の再生が可能となる。上記 LCD コントローラ 213 は、例えば上記 CPU 221 から

の表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換し、LCD214を駆動して表示を行わせる。

【0092】

上記携帯電話端末300には、インターフェース回路(I/F)231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、及び外部入出力端子236等が設けられている。上記外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。この外部メモリスロット232は、インターフェース回路(I/F)231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報(例えばオーディオ情報)を携帯電話端末300に入力したりすることが可能となる。上記キー操作部234は、インターフェース回路(I/F)233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路(I/F)233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

【0093】

尚、本適用例では、ROM222、MRAM223及びフラッシュメモリ224を用いているが、フラッシュメモリ224を磁気ランダムアクセスメモリに置き換えてもよいし、さらにROM222も磁気ランダムアクセスメモリに置き換えることも可能である。

【0094】

(適用例3)

図21乃至図25は、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード(MRAMカード)に適用した例をそれぞれ示す。

【0095】

図 21 に示すように、MRAM カード本体 400 には、MRAM チップ 401 が内蔵されている。このカード本体 400 には、MRAM チップ 401 に対応する位置に開口部 402 が形成され、MRAM チップ 401 が露出されている。この開口部 402 にはシャッター 403 が設けられており、当該 MRAM カードの携帯時に MRAM チップ 401 がシャッター 403 で保護されるようになっている。このシャッター 403 は、外部磁場を遮蔽する効果のある材料、例えばセラミックからなっている。データを転写する場合には、シャッター 403 を開放して MRAM チップ 401 を露出させて行う。外部端子 404 は MRAM カードに記憶されたコンテンツデータを外部に取り出すためのものである。

【0096】

図 22 及び図 23 は、上記 MRAM カードにデータを転写するための、カード挿入型の転写装置の上面図及び断面図を示している。エンドユーザの使用する第 2 MRAM カード 450 を、矢印で示すように転写装置 500 の挿入部 510 より挿入し、ストッパ 520 で止まるまで押し込む。このストッパ 520 は第 1 MRAM 550 と第 2 MRAM カード 450 を位置合わせするための部材としても働く。第 2 MRAM カード 450 が所定位置に配置されると、第 1 MRAM データ書き換え制御部から外部端子 530 に制御信号が供給され、第 1 MRAM 550 に記憶されたデータが第 2 MRAM カード 450 に転写される。

【0097】

図 24 には、はめ込み型の転写装置を示す。この転写装置は、矢印で示すように、ストッパ 520 を目標に、第 1 MRAM 550 上に第 2 MRAM カード 450 をはめ込みように載置するタイプである。転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0098】

図 25 には、スライド型の転写装置を示す。この転写装置は、CD-ROM ドライブや DVD ドライブと同様に、転写装置 500 に受け皿スライド 560 が設けられており、この受け皿スライド 560 が矢印で示すように移動する。受け皿スライド 560 が破線の位置に移動したときに第 2 MRAM カード 450 を受け皿スライド 560 に載置し、第 2 MRAM カード 450 を転写装置 500 の内部

へ搬送する。ストッパ520に第2MRAMカード450の先端部が当接するように搬送される点、および転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0099】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0100】

【発明の効果】

以上説明したように本発明によれば、トランジスタ特性の向上を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図2】 本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図3】 図2に続く、本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図4】 図3に続く、本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図5】 図4に続く、本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図6】 図5に続く、本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図7】 図6に続く、本発明の第1の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

セスメモリの製造工程を示す断面図。

【図 8】 図 7 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 9】 図 8 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 10】 本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 11】 本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 12】 図 11 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 13】 本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 14】 本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 15】 図 14 に続く、本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 16】 本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 17】 本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 18】 図 17 に続く、本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。

【図 19】 本発明の第 1 乃至第 4 の実施形態に係る磁気ランダムアクセスメモリの適用例 1 について説明するためのもので、デジタル加入者線 (DSL) 用モデムの DSL データパス部分を示すブロック図。

【図 20】 本発明の第 1 乃至第 4 の実施形態に係る磁気ランダムアクセスメモリの適用例 2 について説明するためのもので、携帯電話端末を示すブロック図。

【図 2 1】 本発明の第 1 乃至第 4 の実施形態に係る磁気ランダムアクセスメモリの適用例 3 について説明するためのもので、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード（MRAMカード）に適用した例を示す上面図。

【図 2 2】 MRAMカードにデータを転写するための転写装置を示す平面図。

【図 2 3】 MRAMカードにデータを転写するための転写装置を示す断面図。

【図 2 4】 MRAMカードにデータを転写するための、はめ込み型の転写装置を示す断面図。

【図 2 5】 MRAMカードにデータを転写するための、スライド型の転写装置を示す断面図。

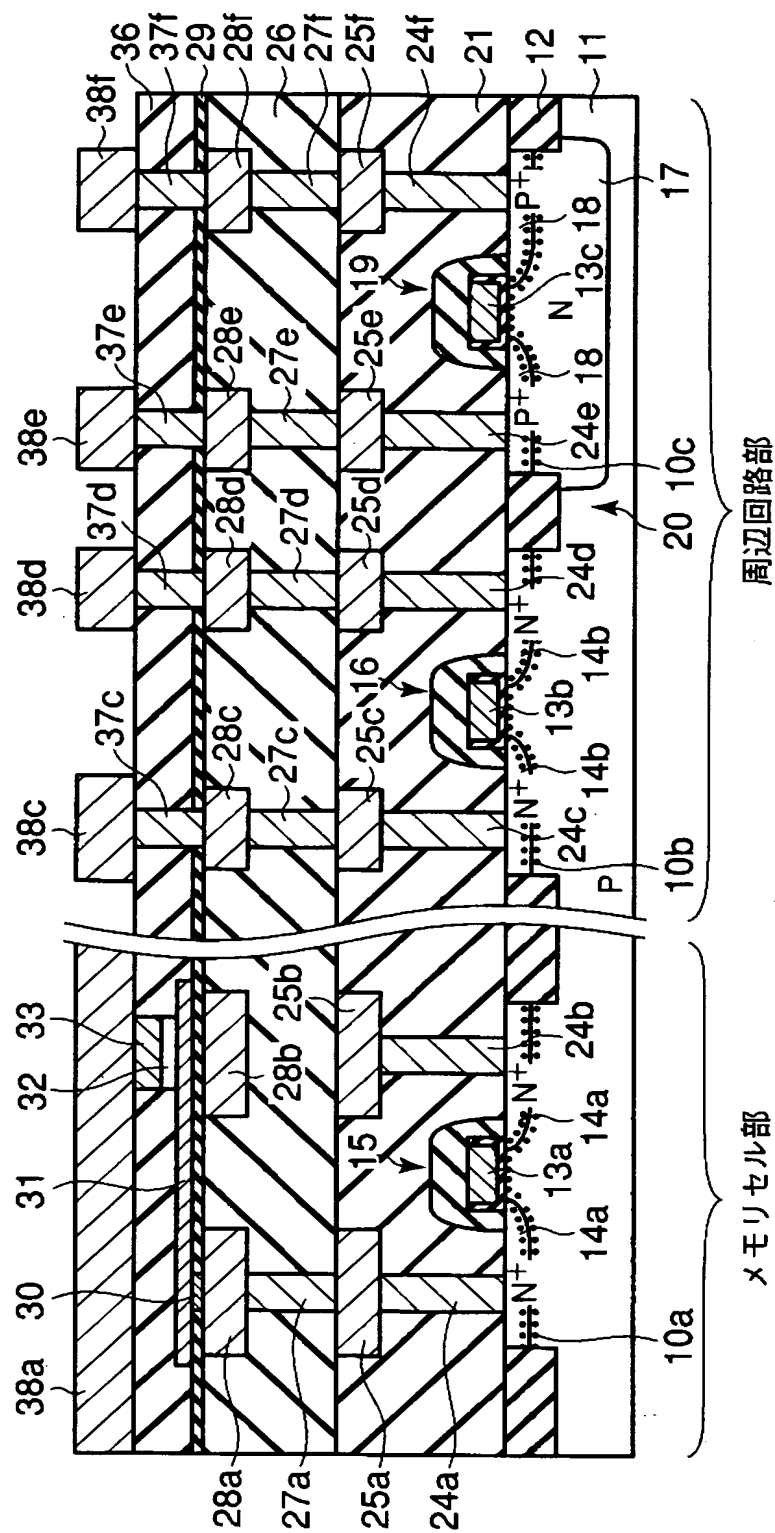
【符号の説明】

10a, 10b, 10c…Si-D結合領域、11…シリコン基板、12…素子分離領域、13a, 13b, 13c, 53a, 53b, 53c…ゲート電極、14a, 14b…N型拡散層、15, 16…NMOSFET、17…Nウェル領域、18…P型拡散層、19…PMOSFET、20…CMOS回路、21, 40…第1の層間絶縁膜、22a, 22b, 22c, 22d, 22e, 22f…コンタクトホール、23a, 23b, 23c, 23d, 23e, 23f…第1のメタル配線用トレンチ、24a, 24b, 24c, 24d, 24e, 24f…第1のコンタクト、25a, 25b, 25c, 25d, 25e, 25f…第1のメタル配線、26…第2の層間絶縁膜、27a, 27c, 27d, 27e, 27f…第2のコンタクト、28a, 28b, 28c, 28d, 28e, 28f…第2のメタル配線、29…第3の層間絶縁膜、30…下部電極用コンタクト、31…下部電極、31a…下部電極膜、32…MTJ素子、32a…MTJ膜、33…ハードマスク、33a…ハードマスク層、33, 34…マスクレジスト、36…第4の層間絶縁膜、37c, 37d, 37e, 37f…周辺回路用のコンタクト、38a…上部配線、38c, 38d, 38e, 38f…第3のメタル配線、51…ゲート絶縁膜、52…ポリシリコン膜。

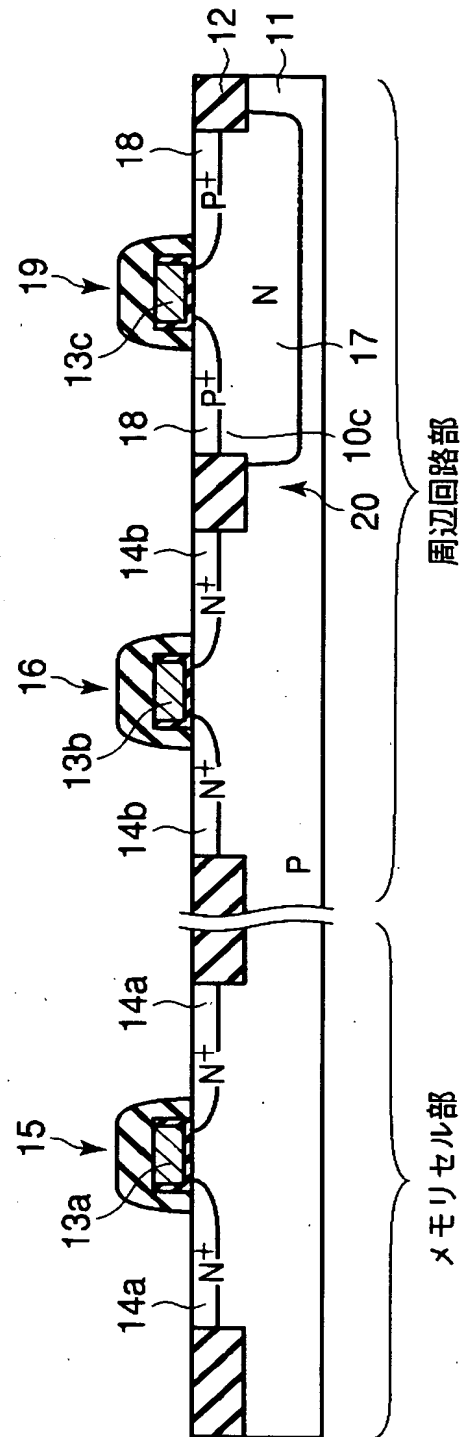
【書類名】

図面

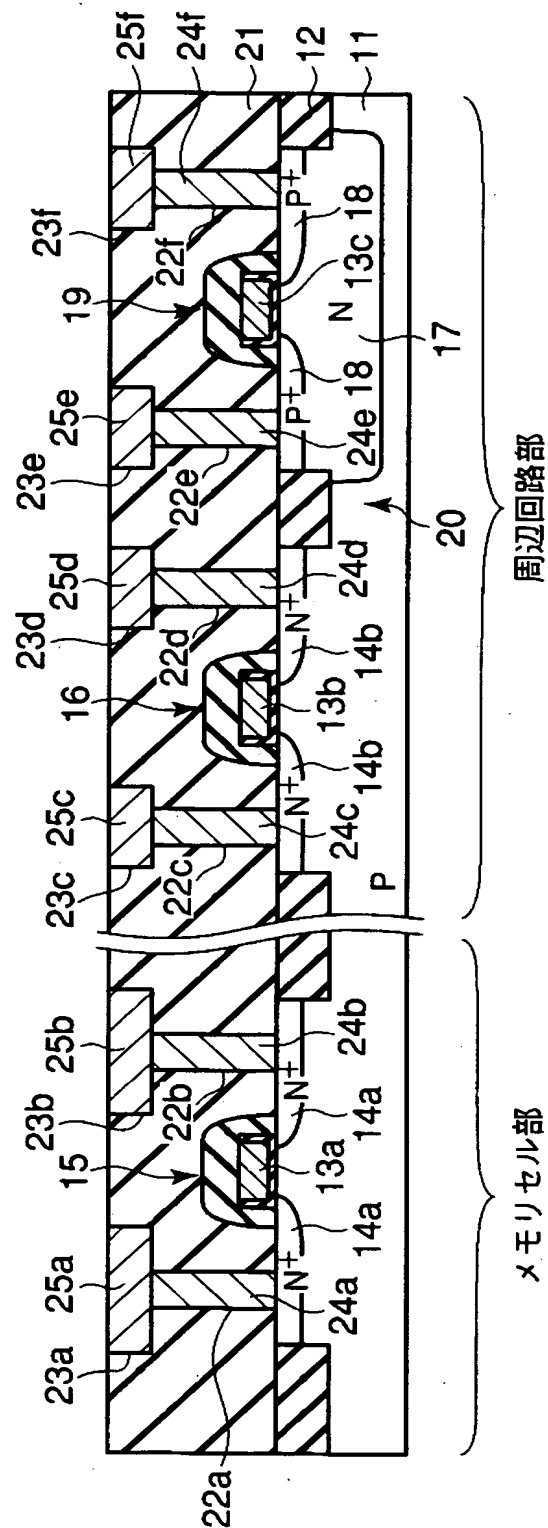
【図 1】



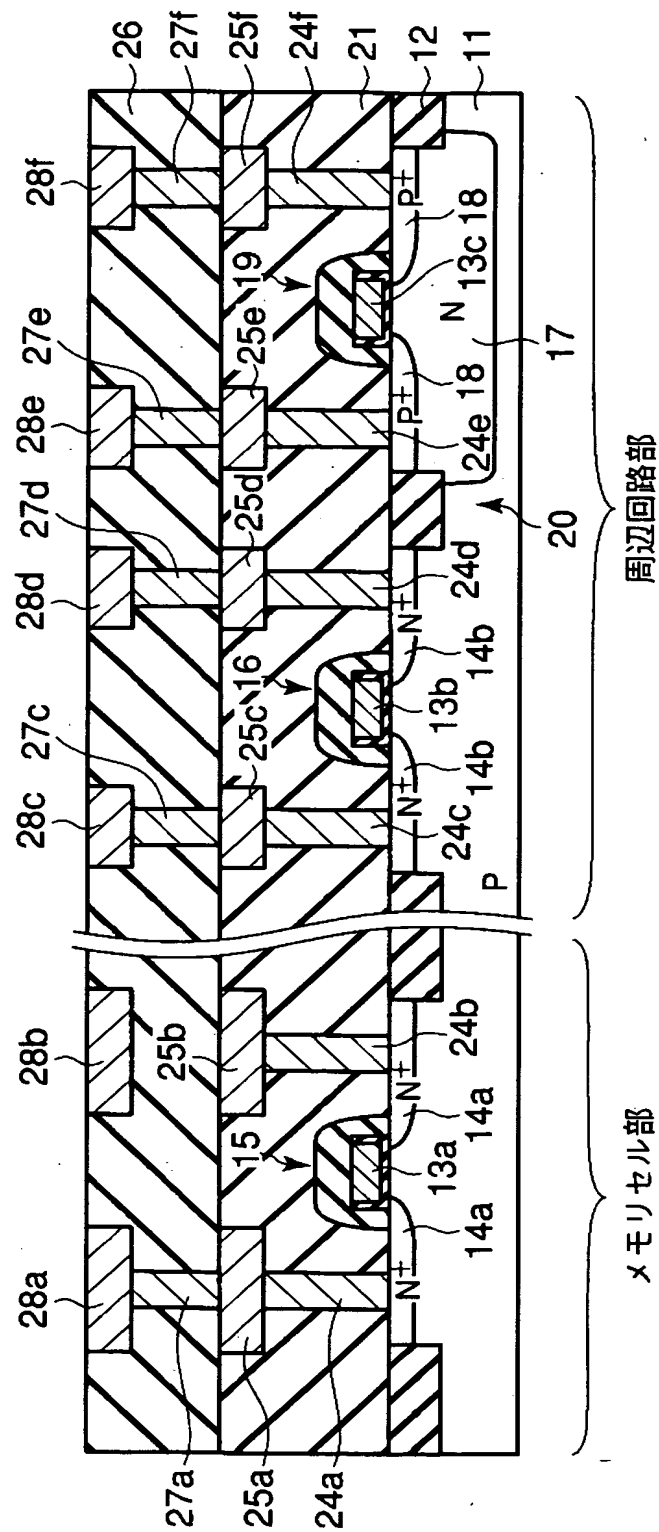
【図 2】



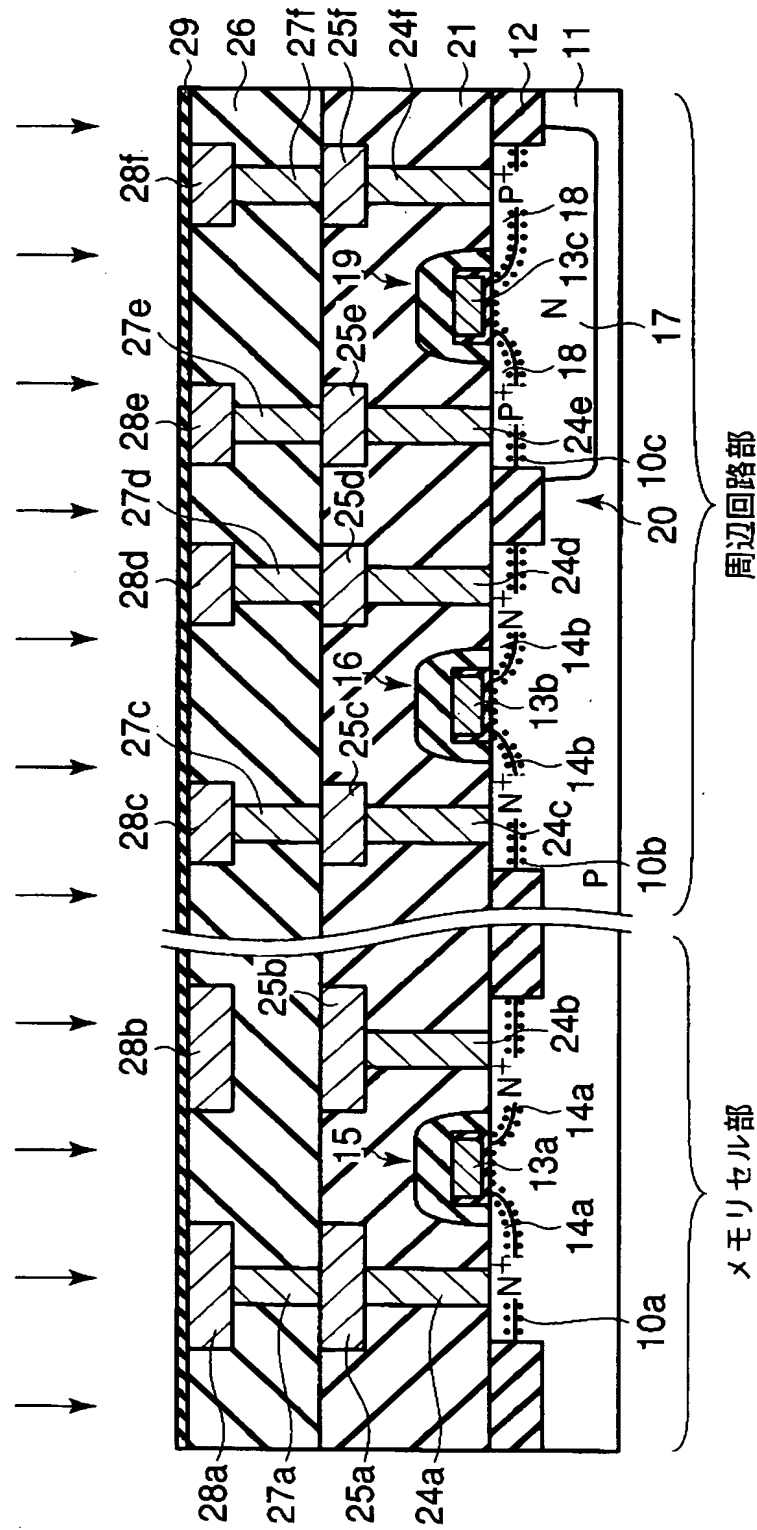
【図 3】



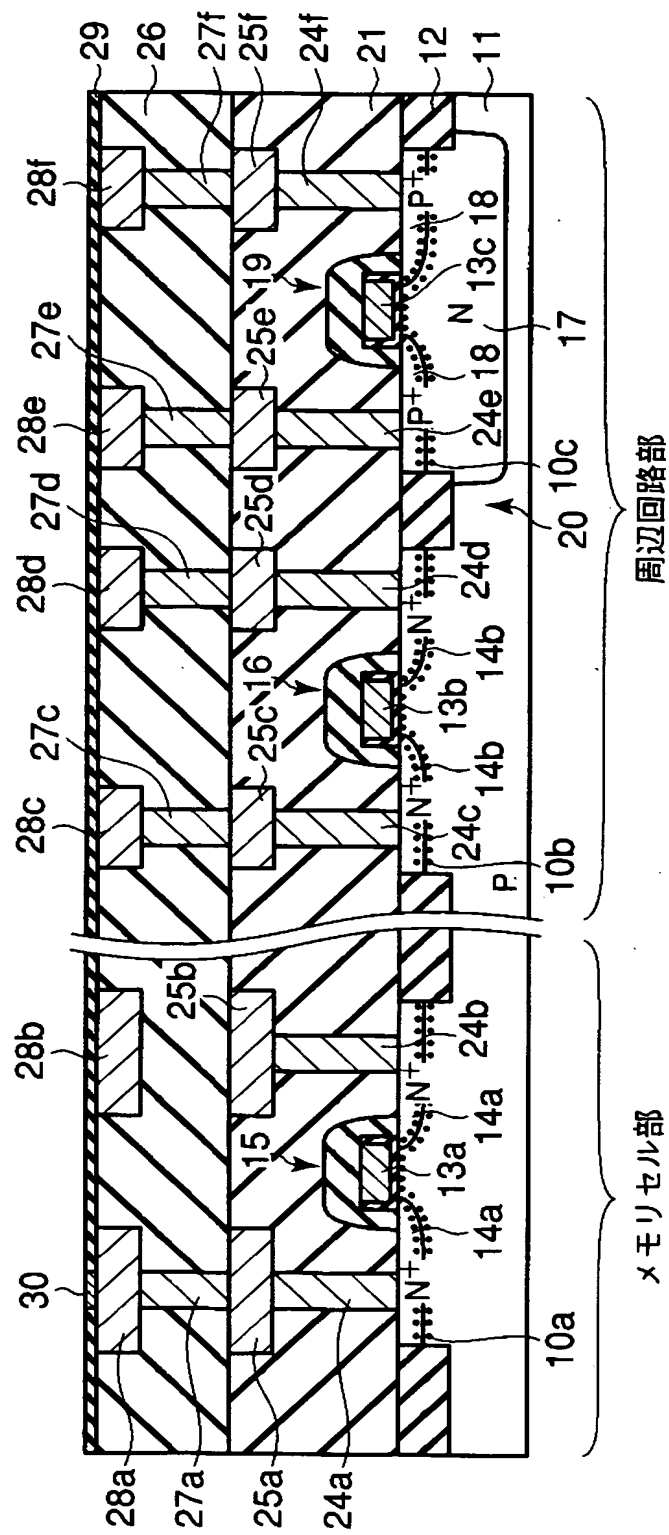
【図 4】



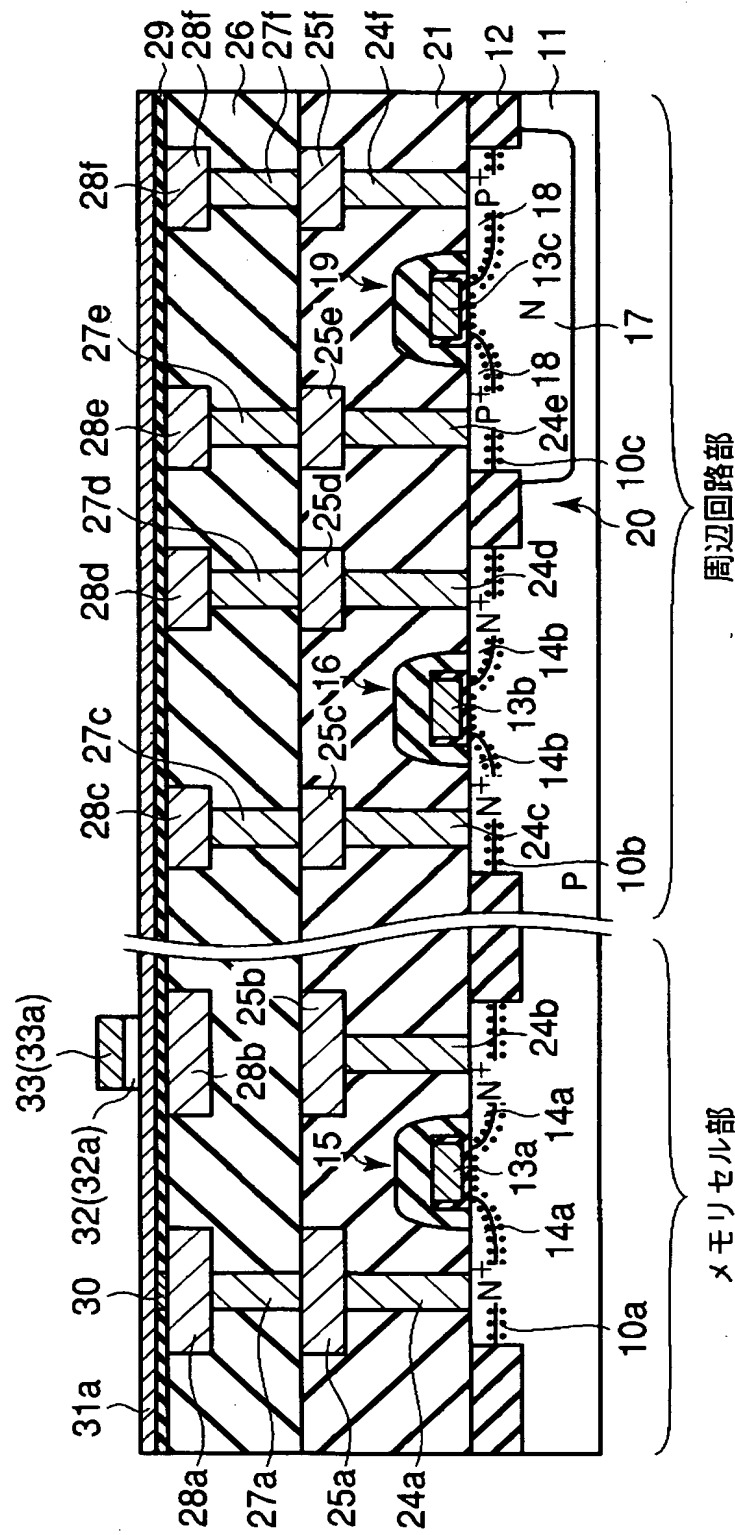
【図 5】



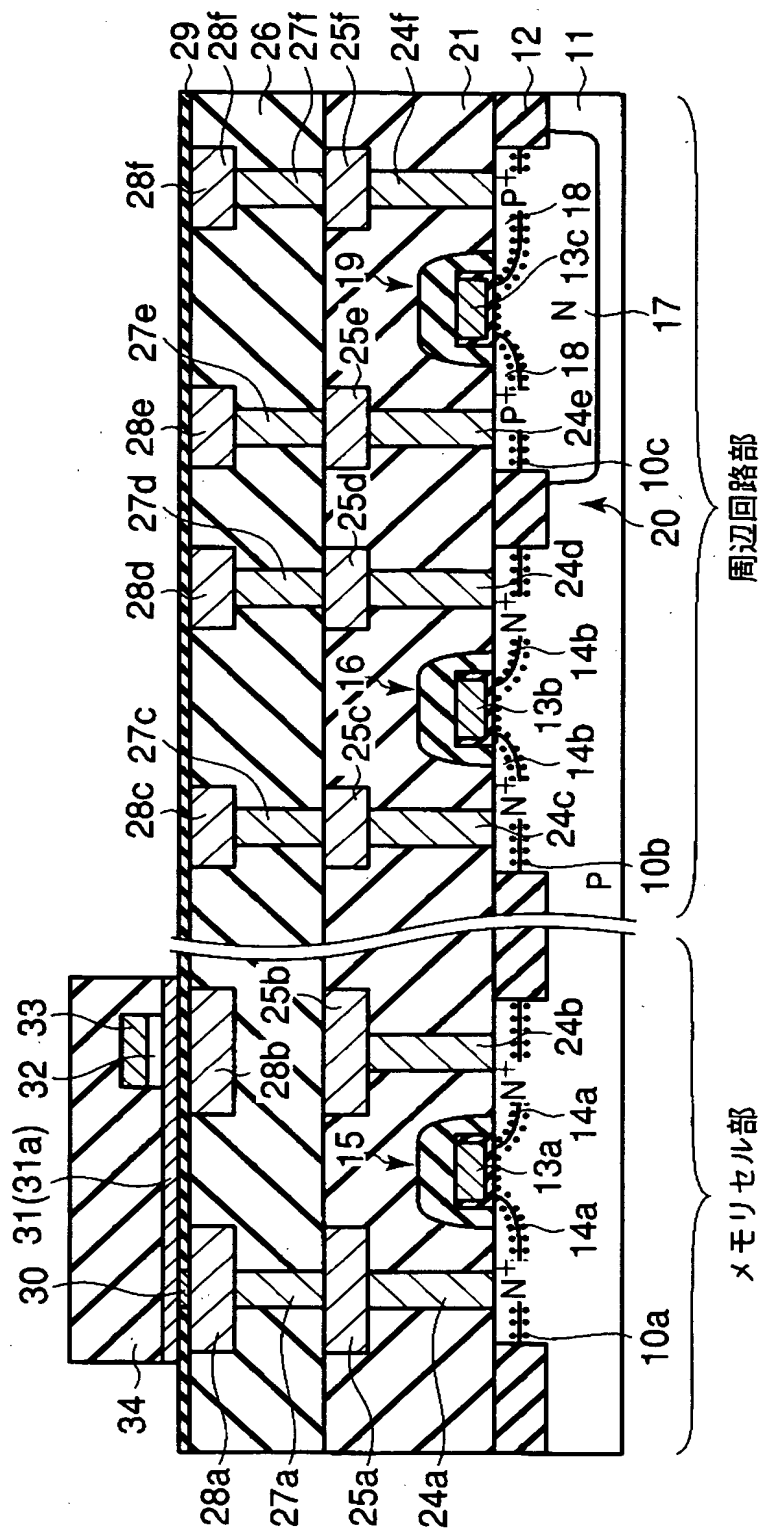
【図 6】



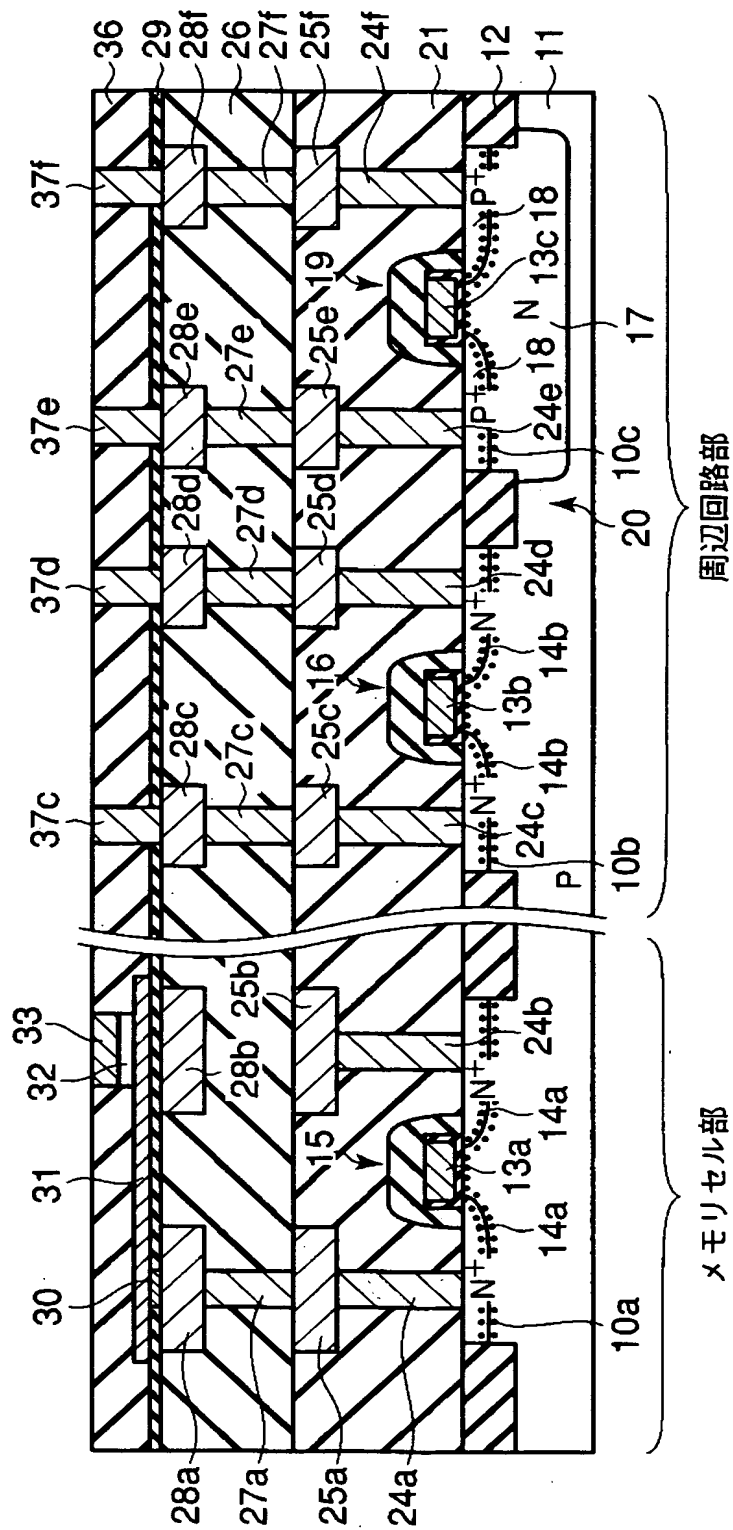
【図 7】



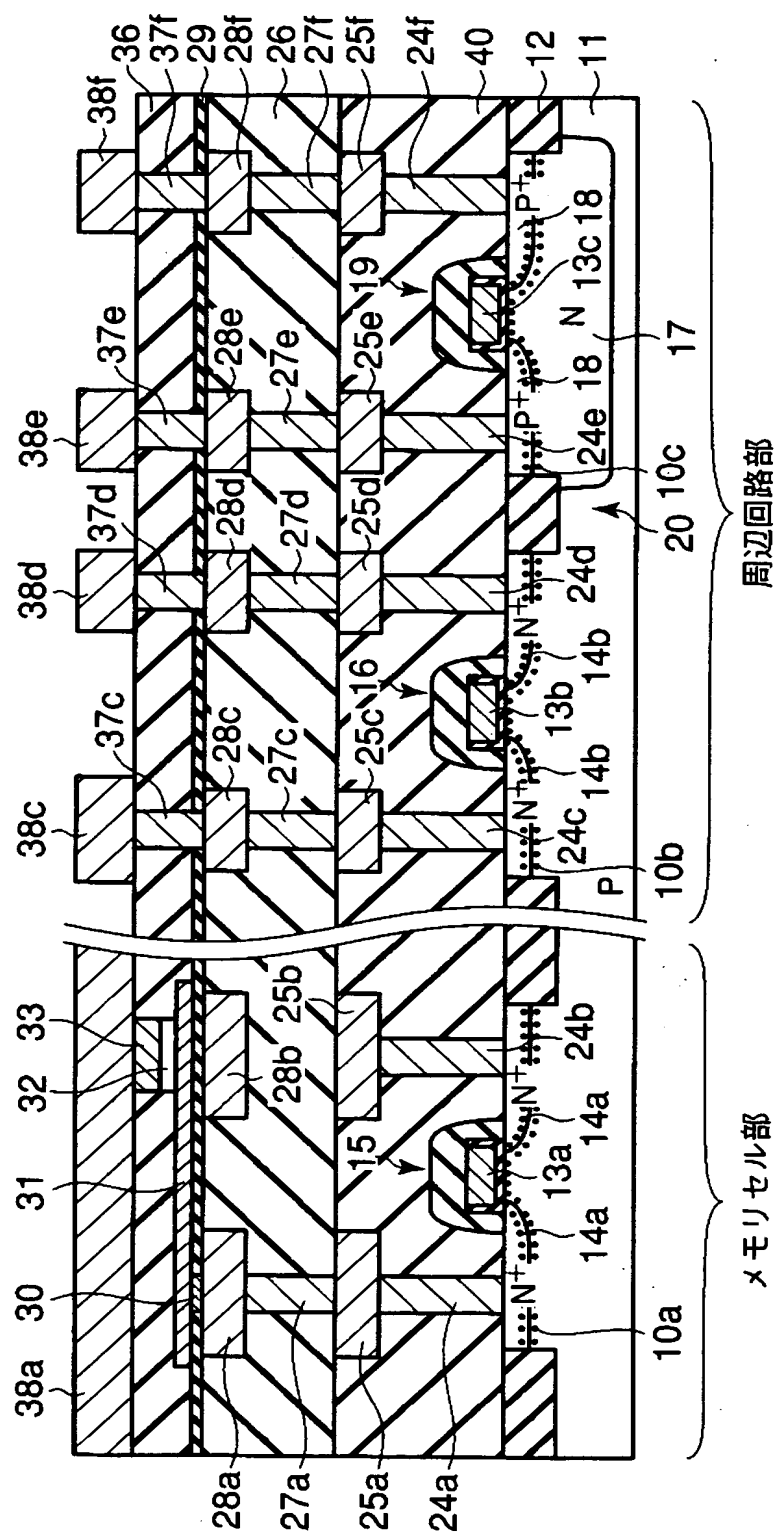
【図 8】



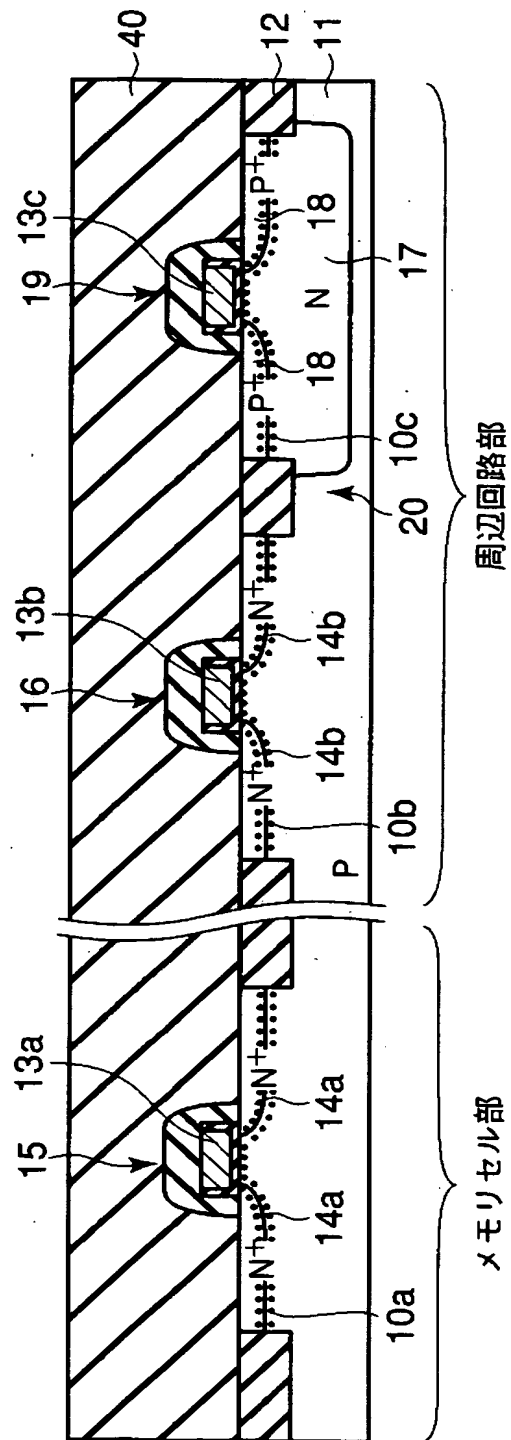
【図 9】



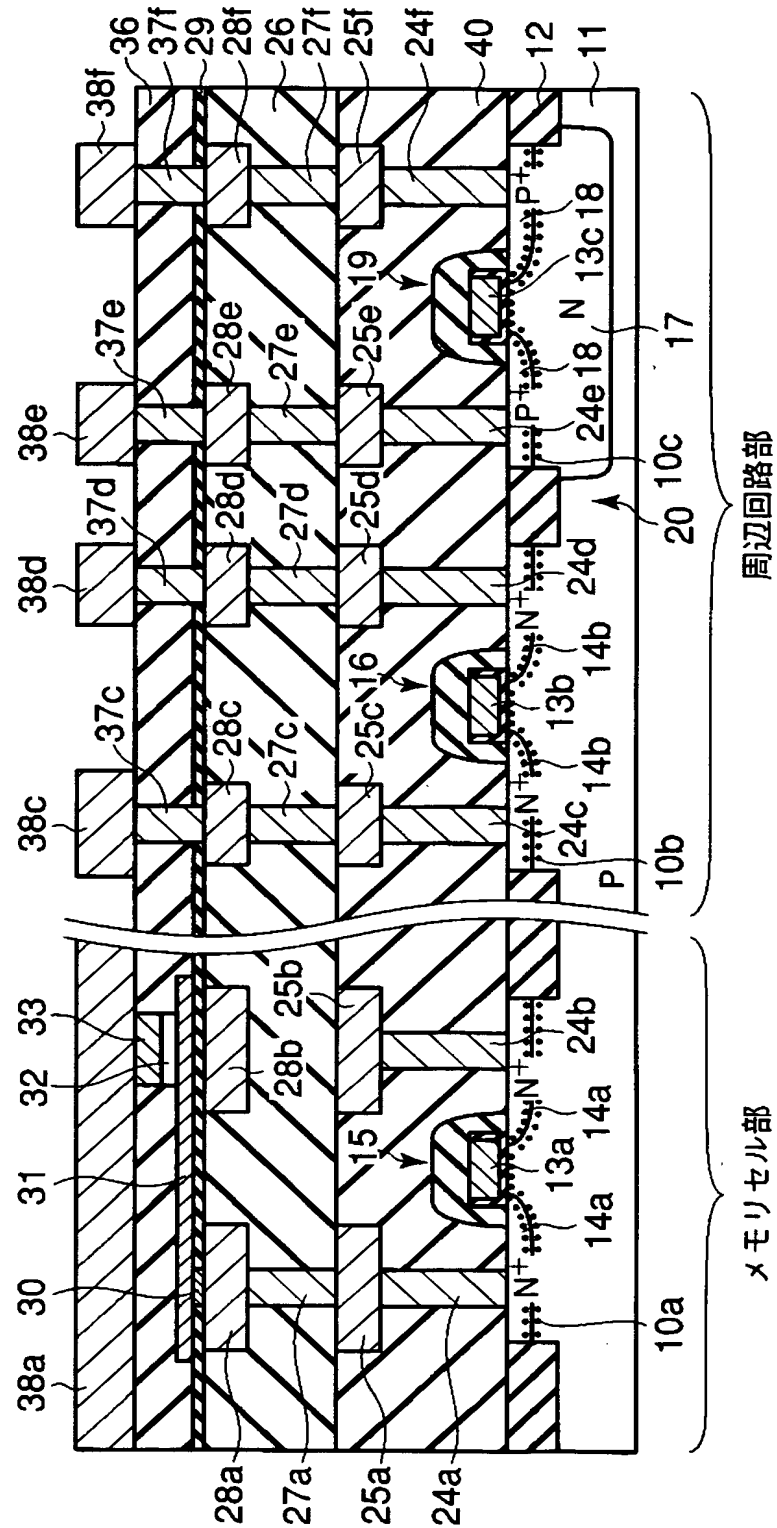
【図 10】



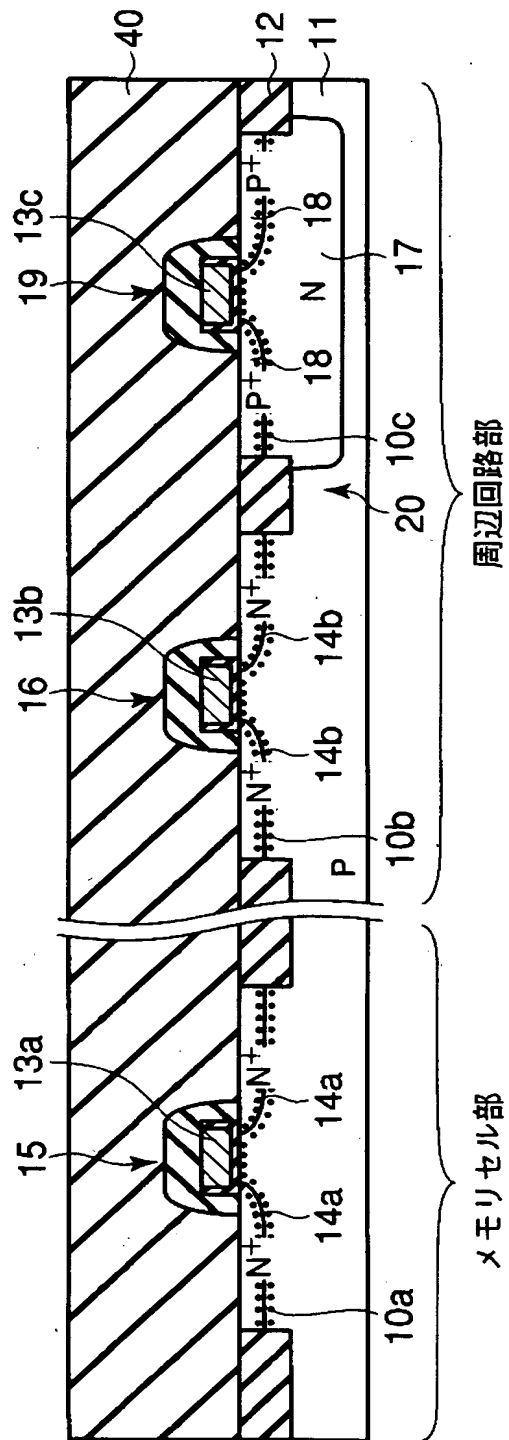
【図 11】



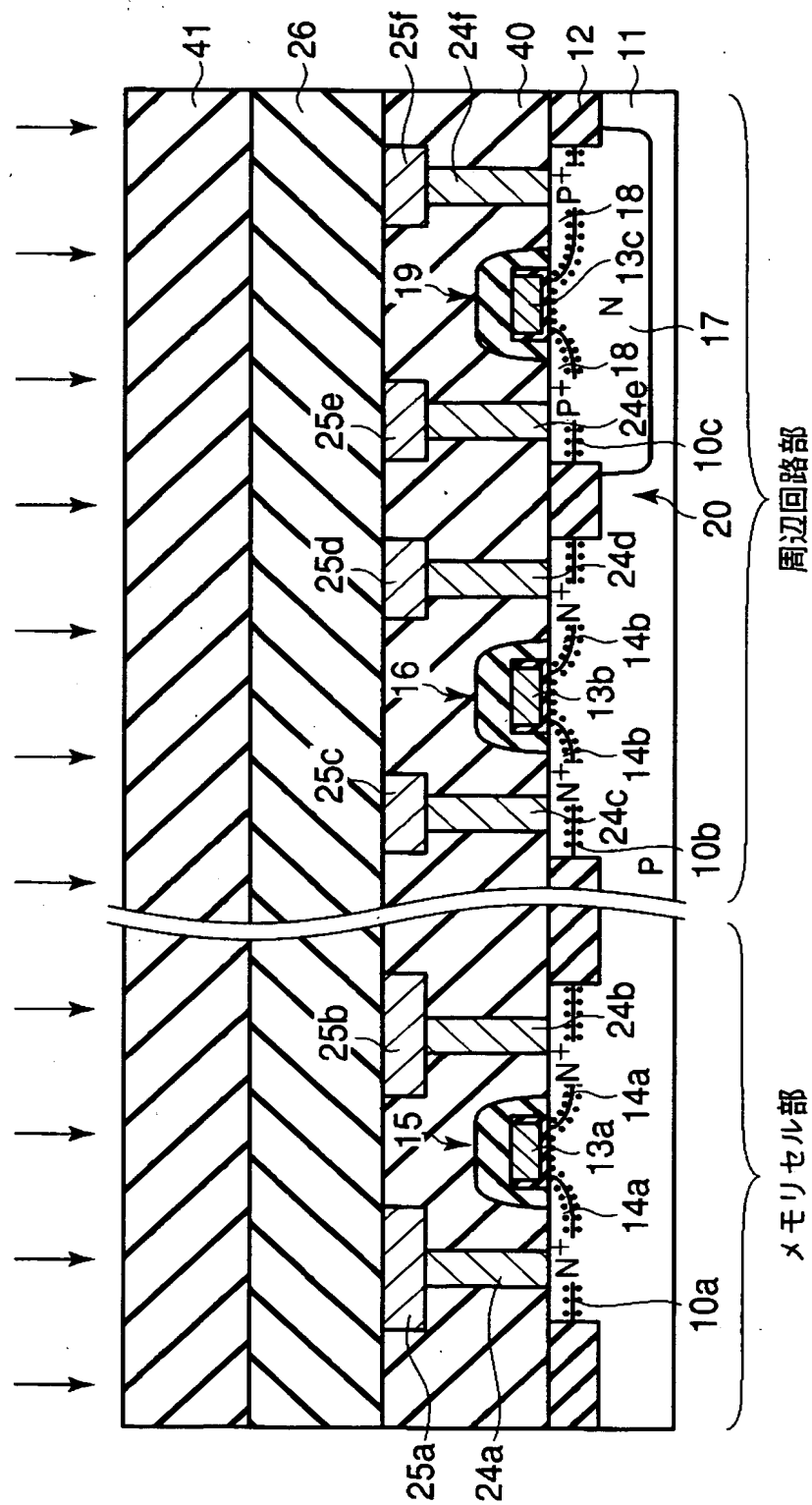
【図 12】



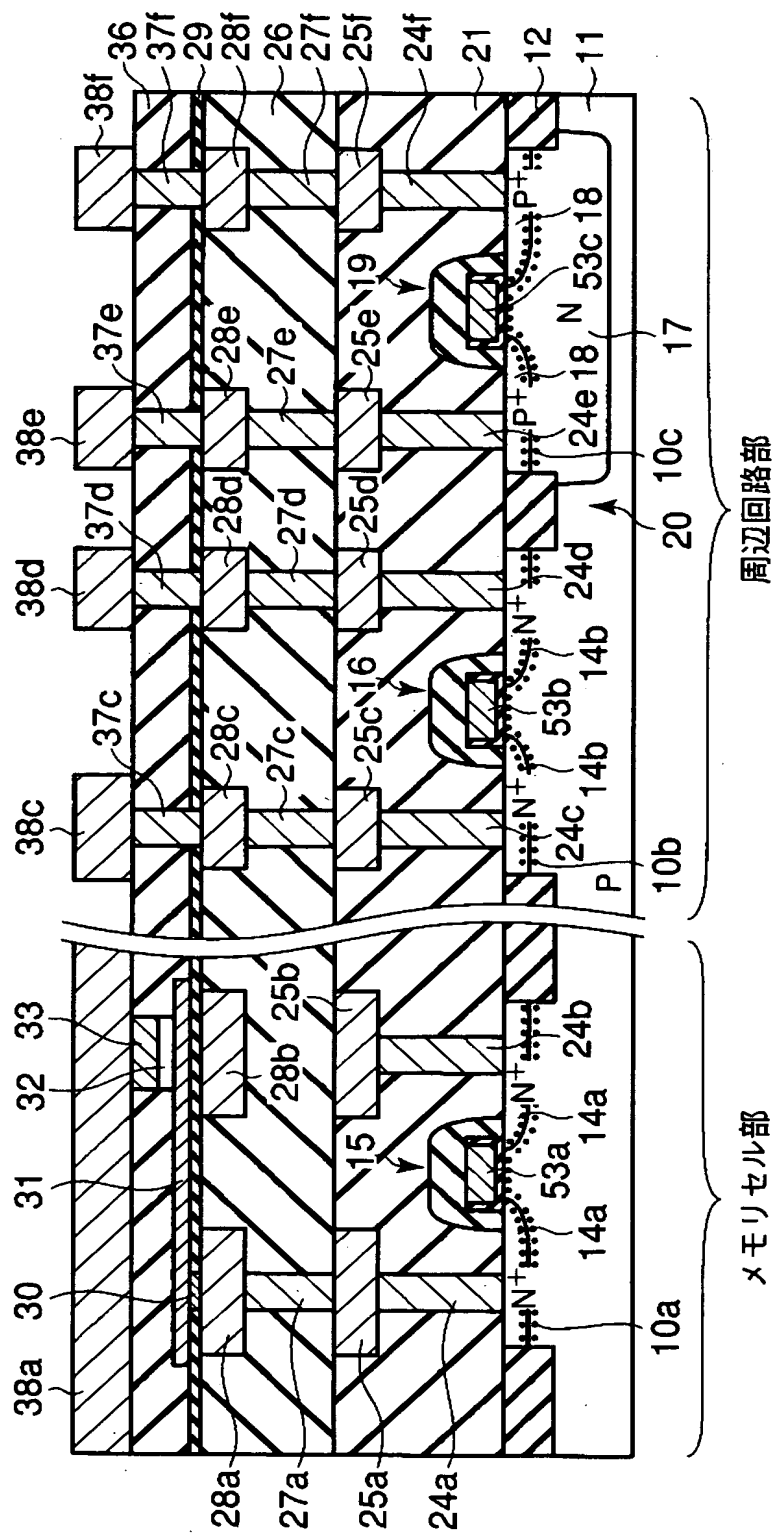
【図 13】



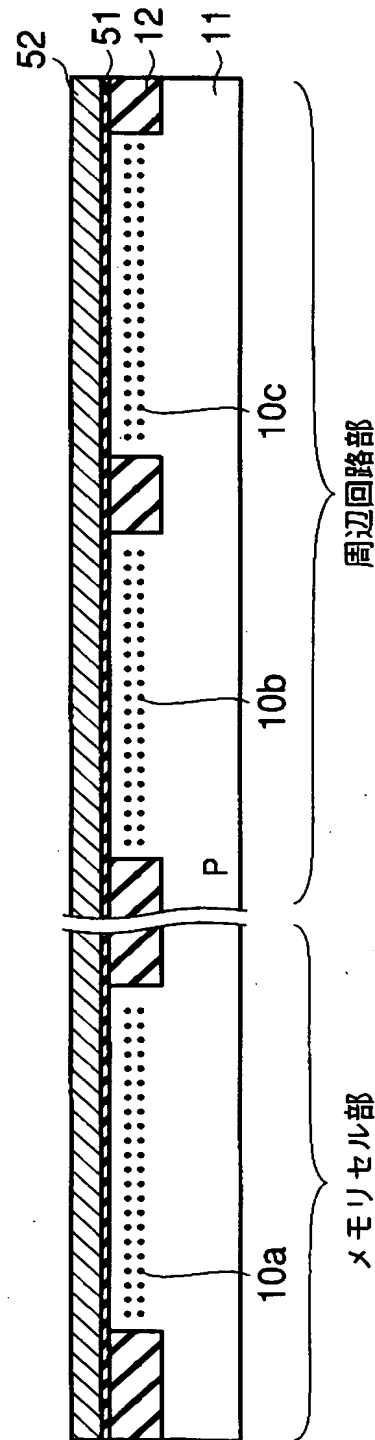
【図 14】



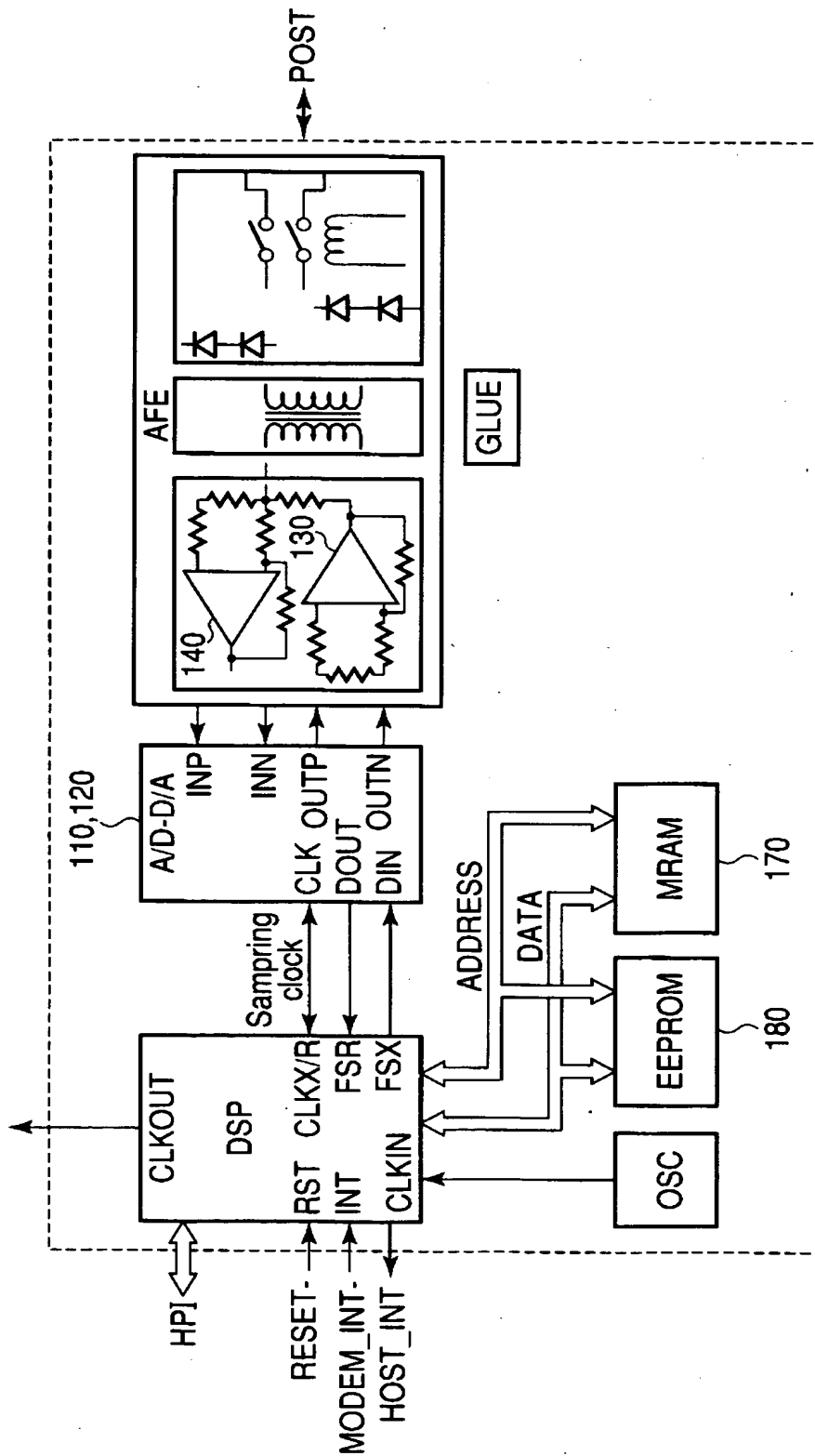
【図 16】



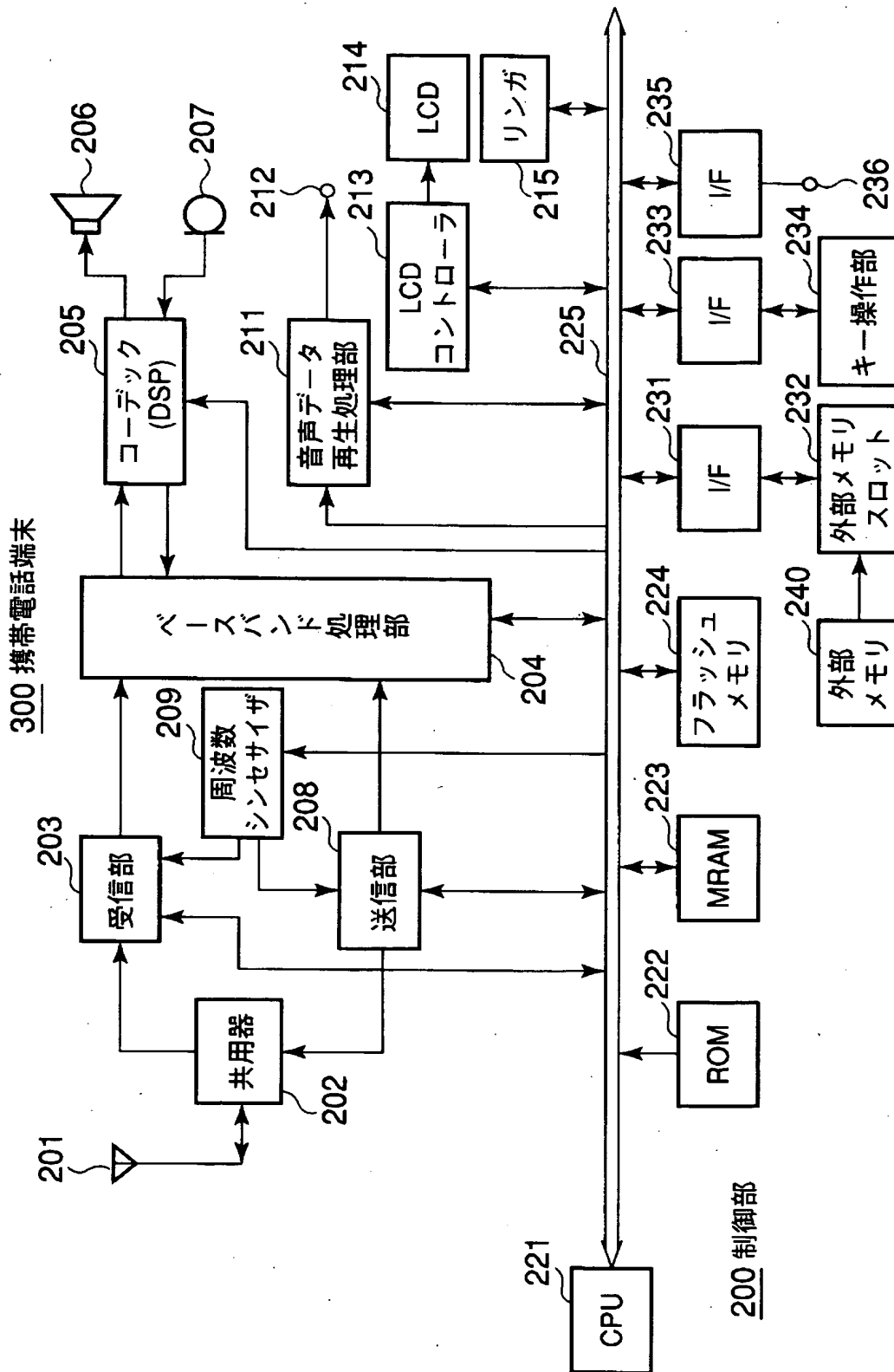
【図 17】



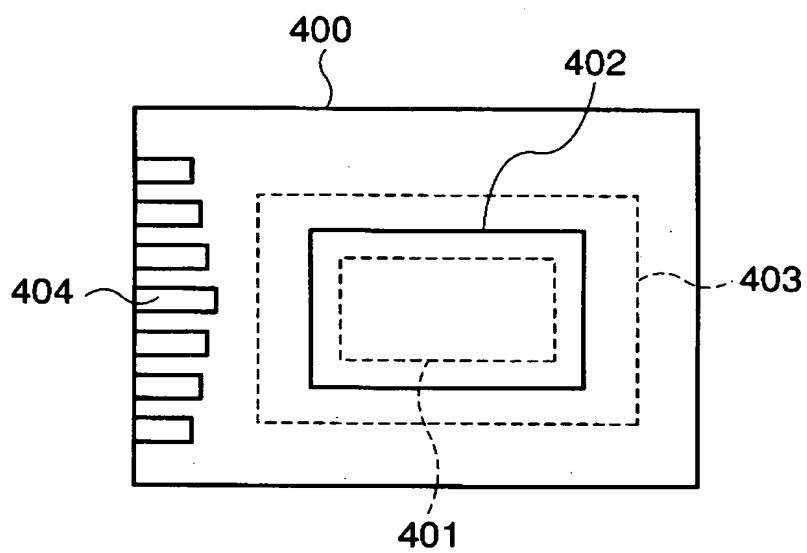
【図 19】



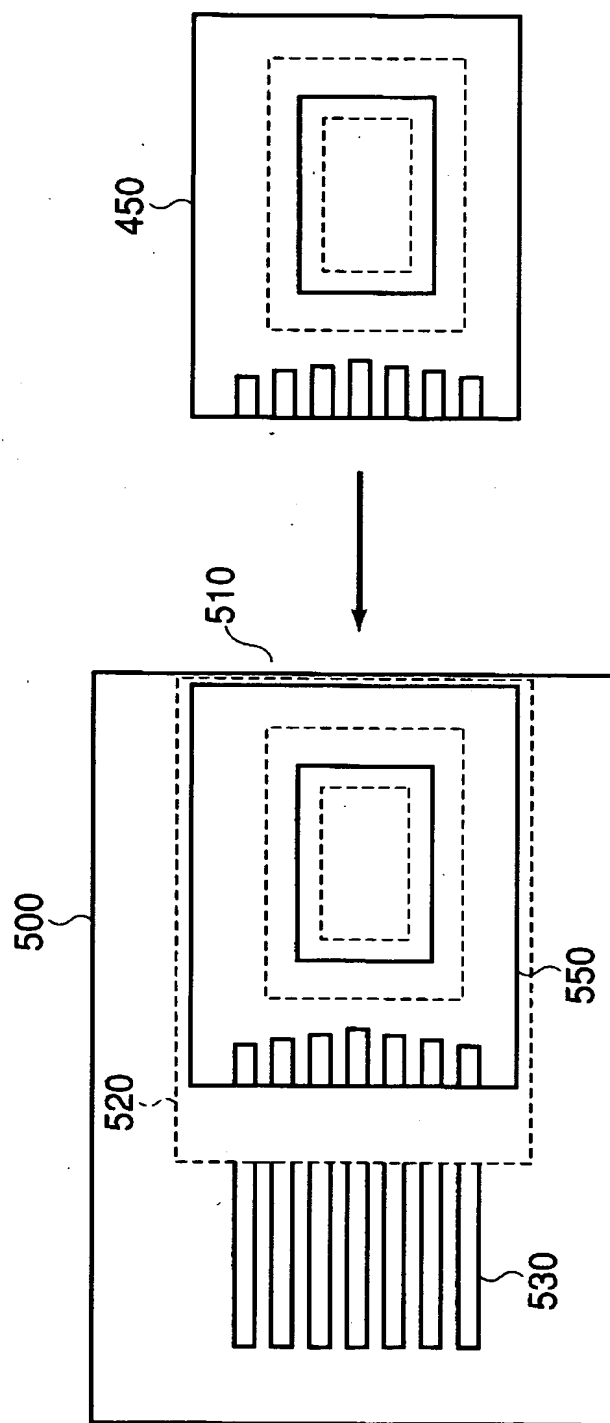
【図 20】



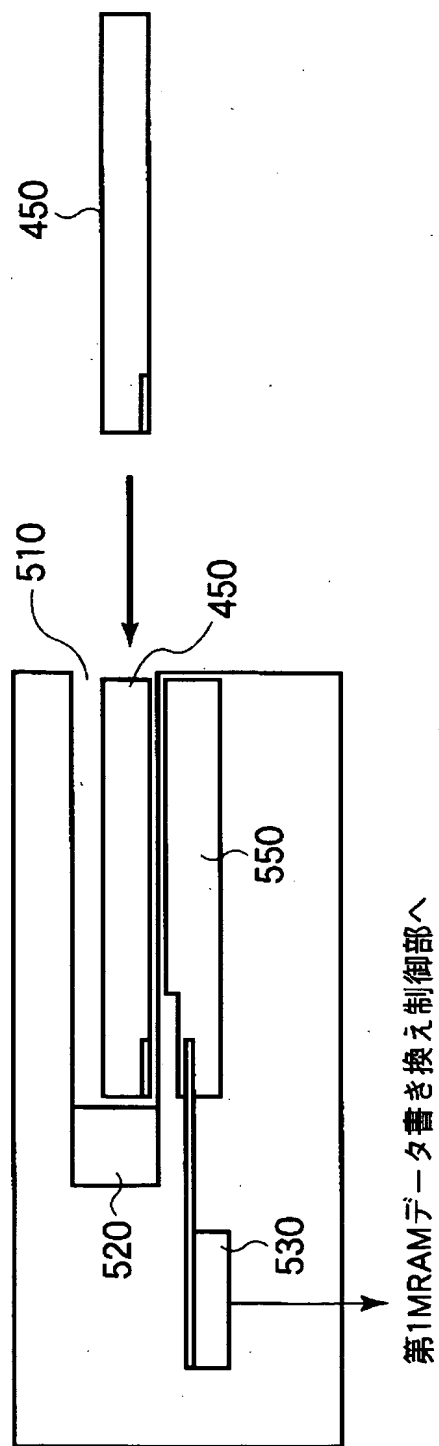
【図 21】



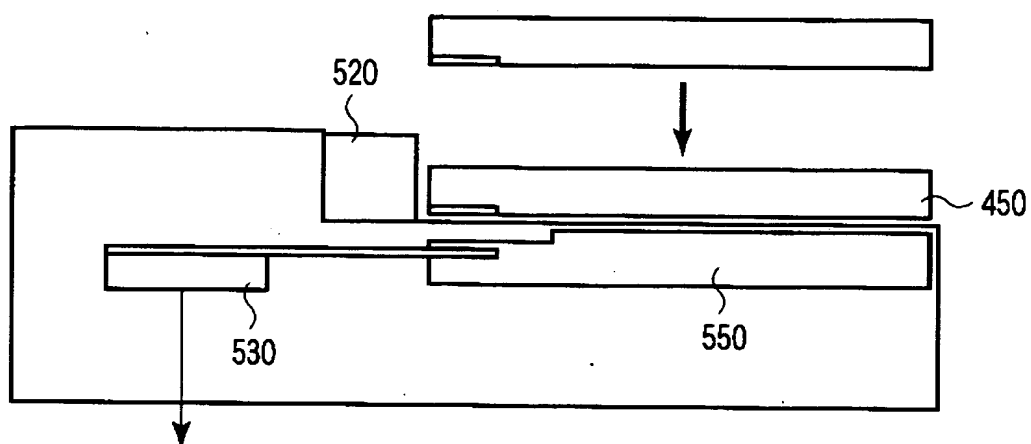
【図 22】



【図 23】

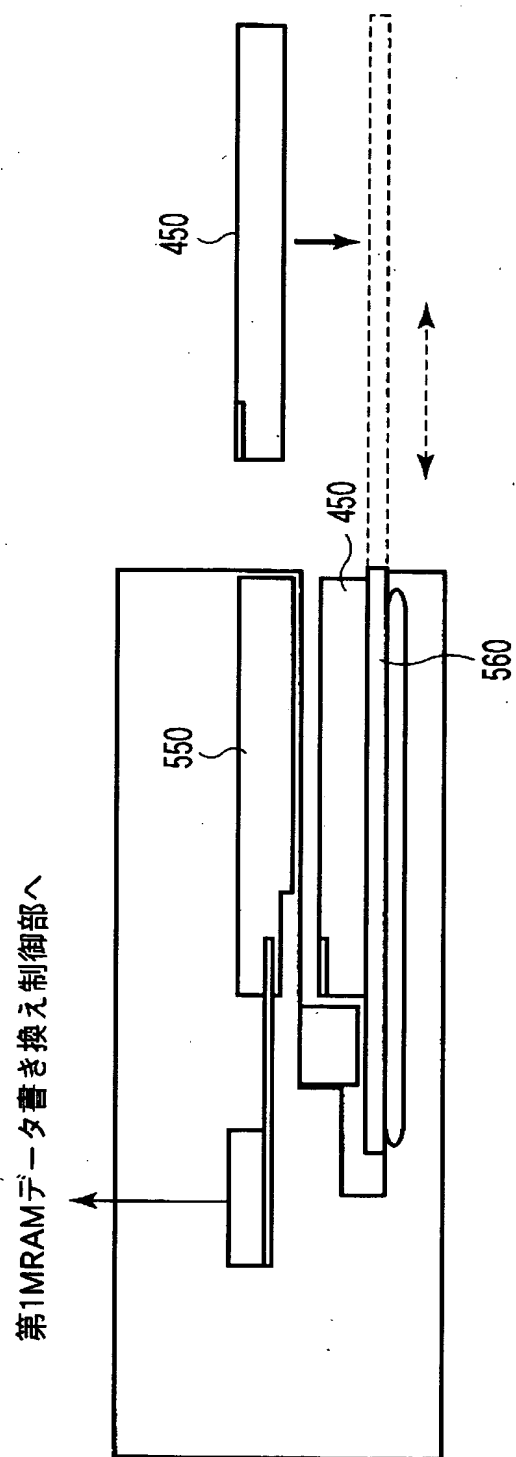


【図 24】



第1MRAMデータ書き換え制御部へ

【図 25】



【書類名】 要約書

【要約】

【課題】 トランジスタ特性の向上を図る。

【解決手段】 磁気ランダムアクセスメモリは、シリコン基板 11 と、このシリコン基板 11 上にゲート絶縁膜を介して形成されたゲート電極とシリコン基板 11 内に形成された拡散層とを有するトランジスタと、シリコン基板 11 及びトランジスタ上に形成された第 1 の絶縁膜 21、26 と、この第 1 の絶縁膜 21、26 内に形成された多層配線と、第 1 の絶縁膜 21、26 の上方に形成された磁気抵抗効果素子 32 とを具備し、シリコン基板 11 内のダングリングボンドの少なくとも一部が、シリコン-重水素結合によって終端されている。

【選択図】 図 1

特願 2003-195187

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝